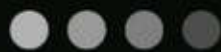




ZESZYTY NAUKOWE WYDZIAŁU

ELEKTRONIKI I INFORMATYKI

POLITECHNIKI KOSZALIŃSKIEJ NR 9



POLITECHNIKA KOSZALIŃSKA

**Zeszyty Naukowe
Wydziału Elektroniki i Informatyki**

Nr 9

KOSZALIN 2016

Zeszyty Naukowe Wydziału Elektroniki i Informatyki Nr 9

ISSN 1897-7421
ISBN 978-83-7365-428-0

Przewodniczący Uczelnianej Rady Wydawniczej
Mirosław Maliński

Przewodniczący Komitetu Redakcyjnego
Aleksy Patryn

Komitet Redakcyjny
Mirosław Maliński
Volodymyr Khadzhynov
Adam Słowik
Wiesław Madej
Józef Drabarek

Projekt okładki
Tadeusz Walczak

Skład, łamanie
Maciej Bączek

© Copyright by Wydawnictwo Uczelniane Politechniki Koszalińskiej
Koszalin 2016

Wydawnictwo Uczelniane Politechniki Koszalińskiej
75-620 Koszalin, ul. Raławicka 15-17

Koszalin 2016, wyd. I, ark. wyd. 5,21, format B-5, nakład 100 egz.
Druk: INTRO-DRUK, Koszalin

Spis treści

<i>Włodzimierz Janke</i>	5
Zastosowanie tranzystorów HEMT z azotku galu w impulsowych przekształtnikach mocy	
<i>Nataliya Maslennikova, Anatolij Sergiyenko</i>	29
Tunable Infinite Impulse Responce Filters in FPGA	
<i>Dariusz Jacek Jakóbczak</i>	37
Reconstruction of High-dimensional Data using the Method of Probabilistic Features Combination	
<i>Jarosław Kraśniewski, Włodzimierz Janke</i>	51
The temperature dependence of subthreshold characteristics of Si and SiC power MOSFETs	
<i>Paweł Poczekajło</i>	59
Platforma testowa dla prototypowych systemów CPS na bazie wybranego zestawu rozwojowego	
<i>Katarzyna Peplińska-Matysiak, Sebastian Pecolt, Tomasz Krzyżyński</i>	67
Experimental set - up to research inductive heating of domestic hot water	
<i>Jarosław Kraśniewski, Włodzimierz Janke</i>	77
Calibration of temperature-sensitive parameter for Silicon Carbide SBD'S	
<i>Adam Dudek, Justyna Patalas-Maliszewska</i>	85
Model klasyfikacji wiedzy w przedsiębiorstwie produkcyjnym przy zastosowaniu algorytmu Bayes'a	
<i>Aneta Hapka</i>	99
A new method for calculation of high-temperature capacitors thermal resistance	

Włodzimierz Janke
Katedra Elektroniki
Politechnika Koszalińska

Zastosowanie tranzystorów HEMT z azotku galu w impulsowych przekształtnikach mocy

Słowa kluczowe: Azotek galu, GaN, Tranzystory HEMT,
Impulsowe przekształtniki mocy

1. Wstęp

Niniejsze opracowanie jest poświęcone perspektywom zastosowań heterozłączowych tranzystorów HEMT z azotku galu GaN w impulsowych układach do przetwarzania mocy elektrycznej. Tranzystory te są obecnie uważane za najlepsze półprzewodnikowe elementy aktywne do przetwarzania sygnałów wielkiej częstotliwości i dużej mocy. Pierwsze wykonanie laboratoryjne tranzystora HEMT GaN pojawiło się w roku 1993; produkcja przemysłowa tych tranzystorów trwa ponad dziesięć lat. Pierwszym i do dziś najważniejszym obszarem zastosowań tranzystorów HEMT są mikrofalowe urządzenia nadawcze, zwłaszcza wzmacniacze mocy o częstotliwościach pracy z zakresu gigaherców. W ostatnich latach, coraz ważniejszą grupą zastosowań tych elementów stają się impulsowe przekształtniki mocy. Wymagania stawiane elementom aktywnym w tych dwóch grupach zastosowań są nieco inne. Tranzystory w układach mikrofalowych są zwykle wykorzystywane do wzmacniania sygnałów o bardzo szerokim zakresie częstotliwości (gigaherce). Tranzystory w przekształtnikach mocy pracują jako przełączniki, muszą być zdolne do przewodzenia dużych prądów w stanie włączenia i wytrzymywania dużych napięć w stanie wyłączenia. Różne są też wymagania związane z charakterem rynku. Przekształtniki energoelektroniczne są stosowane masowo i ich elementy powinny być tanie; rynek urządzeń mikrofalowych jest o wiele węższy. Zasada pracy tranzystorów przeznaczonych do obu grup zastosowań jest ta sama ale szczegóły konstrukcji muszą być odmienne.

Optymistyczne prognozy dotyczące możliwych zastosowań tranzystorów GaN HEMT w przekształtnikach mocy pojawiają się w literaturze od blisko dziesięciu lat. Można też znaleźć coraz więcej doniesień o opracowaniach laboratoryjnych specjalnych modeli tranzystorów HEMT dla energoelektroniki i o wykonywaniu prototypowych układów przekształtników z takimi tranzystorami. W ciągu ostatnich

kilku lat, niektóre firmy wprowadziły na rynek pierwsze typy tranzystorów GaN HEMT dostosowane do przetwórców energoelektronicznych.

Literatura poświęcona problematyce tranzystorów HEMT jest niezwykle obfita. Prace przeglądowe [1]–[5] zawierają obszerne wykazy źródeł bibliograficznych. Niektóre publikacje poruszają ogólnie tematykę zastosowań tych tranzystorów w przetwórcach mocy [6], inne dotyczą na przykład modelowania tranzystorów HEMT dla potrzeb symulacji i projektowania układów energoelektronicznych [7].

Potencjalne możliwości tych elementów ciągle nie są w pełni wykorzystane, głównie z powodu rozmaitych efektów pasożytniczych, a także w związku z wyjątkowo trudną technologią wytwarzania. Wiąże się to ze skomplikowaną budową tranzystorów HEMT oraz specyficznymi właściwościami monokrystalicznego azotku galu, materiału niezwykle odpornego na działanie czynników chemicznych, termicznych i mechanicznych. Istnieje zatem szeroki margines możliwych ulepszeń, które stanowią cel bardzo intensywnych badań prowadzonych w wielu ośrodkach. Jednym z czynników wspomagających rozwój trudnej technologii elementów azotkowych jest ogromny rynek na półprzewodnikowe elementy oświetleniowe i szybki wzrost produkcji diod świecących na bazie GaN, wyprzedzający nieco rozwój produkcji tranzystorów z tego materiału.

2. Wymagania stawiane elementom półprzewodnikowym w układach przetwórców mocy

Przetwórcy mocy elektrycznej oparte na elementach półprzewodnikowych stanowią ważną, obszerną i szybko rozwijającą się grupę urządzeń elektronicznych. Ciągłe rośnie liczba i zwiększa się zróżnicowanie właściwości urządzeń zasilanych energią elektryczną. Z drugiej strony, konieczność ograniczenia emisji gazów powstających w trakcie działania tradycyjnych elektrowni opartych na spalaniu węgla lub innych paliw prowadzi do szybkiego rozwoju alternatywnych źródeł energii (wiatraki, panele fotowoltaiczne, ogniwa paliwowe itp.). Z tych powodów ciągle rośnie zapotrzebowanie na różne typy przetwórców energoelektronicznych, których zadaniem jest dostosowanie wartości i kształtu przebiegów prądów i napięć otrzymywanych ze źródeł energii elektrycznej do wymagań odbiorników. Potrzeba przy tym aby przetwórcy mocy elektrycznej posiadały jak największą sprawność energetyczną (czyli minimalne straty własne) i miały możliwie małe rozmiary i ciężar.

Najważniejsze grupy współczesnych przetwórców mocy stanowią przetwórcy AC-DC czyli prostowniki (z reguły wyposażone w korektory współczynnika mocy PFC), przetwórcy DC-AC nazywane najczęściej inwerterami lub falownikami oraz przetwornice napięcia stałego (przetwórcy DC-DC). Zdecydowana większość współczesnych przetwórców pracuje w trybie impulsowym, najczęściej z modulacją szerokości impulsów (pulse-width

modulation – PWM). Odrębną grupę układów stanowią wzmacniacze mocy, w szczególności wzmacniacze klas D, E i F. Elementy półprzewodnikowe stosowane w takich przekształtnikach spełniają funkcje przełączników, czyli zmieniają swój stan między przewodzeniem (stan bliski zwarcia, określony zwykle jako stan ON) i nieprzewodzeniem (stan bliski rozwarcia określany zwykle jako stan OFF) z dużą częstotliwością. Stosowane częstotliwości przełączeń mają związek z wymaganymi parametrami elementów inercyjnych (cewki indukcyjne, transformatory, kondensatory). Stosując większe częstotliwości przełączania można używać cewek o mniejszych indukcyjnościach i kondensatorów o mniejszych pojemnościach, a w konsekwencji – o mniejszej masie i mniejszych gabarytach.

Od elementów półprzewodnikowych w układach przekształtników wymaga się zatem aby charakteryzowały się możliwie małym spadkiem napięcia (lub małą rezystancją) w stanie ON, wytrzymywaniem dużych napięć w stanie OFF i małymi wartościami czasów przełączania przy przejściach ON-OFF i OFF-ON. Najważniejszą grupę elementów półprzewodnikowych w układach przekształtników mocy stanowią tranzystory; współcześnie są to tranzystory polowe MOSFET (rzadziej JFET), a także tranzystory IGBT. Oprócz tego stosuje się szeroko diody ze złączem p-n lub m-s (metal-półprzewodnik), chociaż w wielu zastosowaniach są one zastępowane przez tranzystory. Na rynku dominują zdecydowanie tranzystory i diody wykonywane z krzemu. Od kilku lat rozwija się też produkcja tranzystorów i diod z węgla krzemu o lepszych parametrach i znacznie wyższych cenach. Do przetwarzania bardzo dużych mocy stosuje się także tyrystory. Dalsze rozważania tego rozdziału odnoszą się jedynie do tranzystorów polowych. Podstawowymi parametrami tranzystorów w układach przekształtników są: rezystancja w stanie włączenia $R_{DS(on)}$, napięcie przebicia V_{BR} między końcówkami drenu i źródła w stanie OFF oraz pojemności – wejściowa C_{GS} (między bramką i źródłem) oraz wyjściowa C_{DS} (między drenem i źródłem). Rezystancja $R_{DS(on)}$ decyduje o spadku napięcia przy danej wartości prądu płynącego między końcówkami głównymi tranzystora (czyli prądu drenu) i w konsekwencji – o stratach mocy w stanie przewodzenia. Pojemności C_{GS} i C_{DS} decydują o czasach przełączania tranzystora między stanami ON i OFF i w konsekwencji – o możliwej częstotliwości przełączania przekształtnika. Z napięciem V_{BR} wiąże się dopuszczalna wartość napięcia między drenem i źródłem. Napięcie V_{BR} powinno być jak największe a rezystancja $R_{DS(on)}$ i pojemności C_{GS} i C_{DS} – jak najmniejsze.

Wymienione wyżej parametry tranzystorów zależą od sposobu działania elementu, rozmiarów i kształtu poszczególnych warstw, rozkładów koncentracji domieszek, technologii wytwarzania oraz od parametrów fizycznych zastosowanych materiałów. Rezystancja $R_{DS(on)}$ jest tym mniejsza im większą gęstość prądu można uzyskać w obszarze przewodzenia przy danym napięciu między brzegami tego obszaru, a to wymaga dużych koncentracji i ruchliwości nośników większościowych. Koncentracja nośników w jednorodnej warstwie półprzewodnika w typowych

warunkach jest równa koncentracji odpowiednich domieszek. Napięcie przebicia struktury półprzewodnikowej zależy od krytycznej wartości E_B natężenia pola użytego półprzewodnika oraz rozmiarów struktury i koncentracji domieszek. Pojemności C_{GS} i C_{DS} są proporcjonalne do powierzchni odpowiednich złącz. Pogodzenie wymienionych wyżej wymagań przez dobór sposobu wykonania i rozmiarów struktury tranzystora możliwe jest tylko w części, gdyż przykładowo, stosowanie większej koncentracji domieszek (w typowym rozwiązaniu konstrukcyjnym) pozwala na zmniejszenie rezystancji R_{DSON} ale skutkuje także mniejszymi wartościami napięcia przebicia. W efekcie, w grupie tranzystorów o tej samej zasadzie działania, wykonywanych z tego samego materiału (np. krzemowe tranzystory MOSFET), tranzystory o większych napięciach przebicia mają także większe wartości rezystancji R_{DSON} . Związek rezystancji R_{DSON} z napięciem przebicia zależy przy tym od krytycznej wartości natężenia pola E_B danego półprzewodnika. Uproszczony opis związku rezystancji R_{DSON} warstwy półprzewodnika o grubości d i powierzchni przekroju S z napięciem przebicia V_{BR} tej warstwy i krytycznym polem E_B został podany w pracach Baligi [8],[9] i ma postać:

$$R_{ON} = \frac{4V_{BR}^2}{S \cdot \mu \cdot \epsilon_0 \cdot \epsilon_w \cdot E_B^3} \quad (1)$$

gdzie ϵ_0 i ϵ_w oznaczają stałą dielektryczną próżni oraz względną stałą dielektryczną danego półprzewodnika, μ – ruchliwość nośników. Wzór powyższy został wyprowadzony przy założeniu, że w stanie przewodzenia, koncentracja nośników w warstwie jest równa koncentracji domieszek zaś w stanie nieprzewodzenia ta sama koncentracja domieszek decyduje o gęstości ładunku w warstwie opróżnionej z nośników. Wzór ten wskazuje więc (choć tylko w sposób orientacyjny) na bardzo ważną rolę krytycznego natężenia pola E_B danego półprzewodnika. Zastosowanie elementu z materiału o większej wartości krytycznej E_B , daje możliwość uzyskania znacznie mniejszej rezystancji warstwy przewodzącej przy tym samym napięciu przebicia.

Jeden z możliwych podziałów tranzystorów polowych używanych w przekształtnikach mocy w charakterze przełączników sterowanych to podział na dwie grupy: tranzystory normalnie załączone (inne nazwy: pracujące ze zubożaniem, normally-ON, depletion mode, D-mode) oraz tranzystory normalnie wyłączone (pracujące ze wzbogacaniem, normally-OFF, enhancement mode, E-mode). Znacznie korzystniejsze jest stosowanie tranzystorów normalnie wyłączonych, gdyż w stanie „spoczynkowym” nie występują w nich (i w sąsiednich elementach) straty mocy, a układy sterowania bramki są prostsze niż w przypadku tranzystorów normalnie załączonych.

Poza podstawowymi właściwościami elektrycznymi tranzystorów stosowanych jako przełączniki w układach przetwarzania mocy, istotne są ich właściwości

cieplne i niezawodnościowe. Do właściwości cieplnych należy zaliczyć wpływ temperatury na parametry elektryczne na przykład na rezystancję $R_{\text{DS(on)}}$, dopuszczalną temperaturę pracy elementu a ponadto – zależność temperatury wnętrza elementu od traconej w nim mocy elektrycznej scharakteryzowaną przez jego rezystancję termiczną.

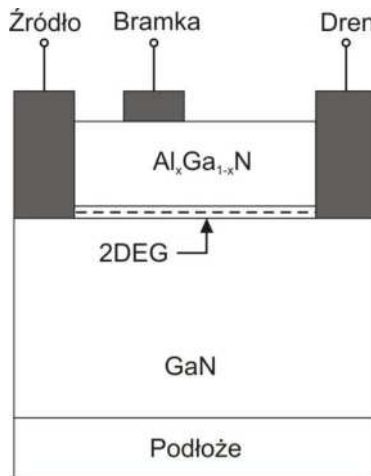
O dopuszczalnej temperaturze pracy elementu półprzewodnikowego decydują dwie grupy zjawisk. Jedną stanowią procesy generacji termicznej par elektron-dziura, z powodu których koncentracja nośników określana jako samoistna bardzo szybko rośnie z temperaturą. Temperatura przejścia warstwy półprzewodnikowej w stan samoistny, w którym koncentracja nośników generowanych termicznie zrównuje się z koncentracją domieszek ma sens temperatury granicznej, gdyż złącza półprzewodnikowe tracą wtedy właściwości prostujące. Ta temperatura graniczna silnie zależy od szerokości pasma energii zabronionych półprzewodnika i od koncentracji domieszek w poszczególnych warstwach struktury. Drugą grupę zjawisk stanowią różnego typu procesy degradacyjne związane głównie z defektami w strukturze elementu. Intensywność tych procesów, zgodnie z prawem Arrhenniusa zależy bardzo silnie od temperatury. Jako temperaturę graniczną przyjmuje się wartość temperatury, której przekroczenie powoduje, że intensywność uszkodzeń partii elementów danego typu staje się nieakceptowalnie duża. We współcześnie wytwarzanych elementach energoelektronicznych z krzemu, węgla krzemu i azotku galu, temperatura graniczna związana z procesami degradacyjnymi jest wyraźnie niższa od temperatury związanej z przejściem półprzewodnika w stan samoistny. Temperatura dopuszczalna podawana przez producentów wśród danych technicznych współczesnych tranzystorów jest więc uwarunkowana poziomem dopuszczalnej intensywności uszkodzeń. Z przytoczonych rozważań wynika ponadto, że jednym z istotnych kryteriów przy porównywaniu różnych odmian elementów półprzewodnikowych jest gęstość defektów w strukturze elementu decydująca o intensywności uszkodzeń danej partii elementów. Koncentracja defektów zależy od cech materiału, różnic w parametrach fizycznych między sąsiadującymi warstwami, a także od dojrzałości procesów wytwarzania danego typu elementu czyli od jakości stosowanych procesów i urządzeń technologicznych.

Całkowita rezystancja termiczna elementu, umieszczonego (zazwyczaj) na radiatorze, zależy od rezystancji termicznej własnej elementu, (określanej jako rezystancja $R_{\text{thj-c}}$ – junction-to-case) i od rezystancji termicznej zastosowanego radiatora. O rezystancji $R_{\text{thj-c}}$ decyduje konstrukcja obudowy i sposób połączenia z nią struktury półprzewodnikowej. Rozmiary i konduktywność cieplna zastosowanego materiału półprzewodnikowego wpływają nieznacznie na rezystancję termiczną, gdyż warstwa półprzewodnika stanowi niewielką część drogi, jaką przepływa ciepło od miejsca generacji do otoczenia.

3. Podstawowe właściwości tranzystorów HEMT z azotku galu

3.1. Specyfika tranzystorów HEMT

Tranzystory HEMT są tranzystorami polowymi złączowymi z kanałem n. Podstawową wersję konstrukcyjną tranzystorów HEMT stanowią tranzystory normalnie załączone umożliwiające przewodzenie prądu drenu przy braku polaryzacji bramki. Specyfika budowy tranzystora HEMT polega na wykorzystaniu heterozłącza (stąd inna nazwa: HFET – heterojunction field effect transistor). W tranzystorach HEMT omawianych w tym opracowaniu jest to złącze AlGa_xN-GaN. Poprzednia, szeroko stosowana wersja tranzystorów HEMT wykorzystywała arsenek galu GaAs jako materiał podstawowy. Zasadę konstrukcji struktury półprzewodnikowej tranzystora HEMT z heterozłączem AlGa_xN-GaN, uwzględniającą tylko główne warstwy, pokazano na rysunku 1.

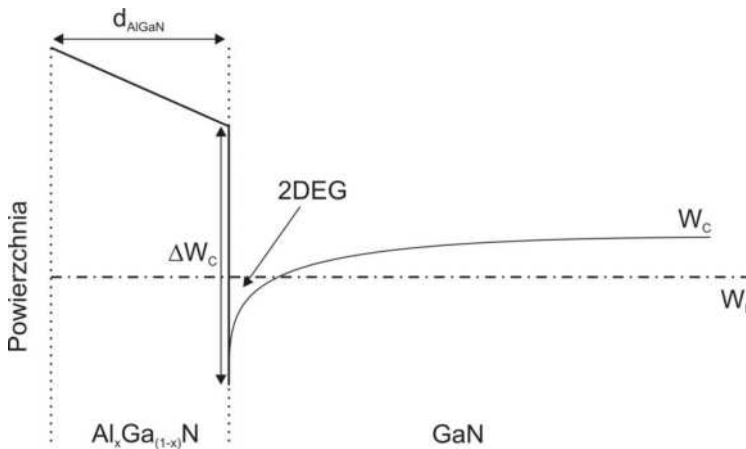


Rys. 1. Zasada konstrukcji tranzystora HEMT

Rzeczywiste układy warstw są bardziej złożone i mogą być zróżnicowane. Budowa i właściwości tranzystorów HEMT na bazie GaN są opisane w wielu źródłach literaturowych wymienionych między innymi w pracach przeglądowych [1] – [5].

Unikalne cechy tranzystorów HEMT wynikają stąd, że w zaporowo spolaryzowanym heterozłączu tworzy się bardzo wąska studnia potencjału dla elektronów, odpowiadająca położeniu dna pasma przewodnictwa w rejonie styku dwóch materiałów o różnych szerokościach pasma energii zabronionych (rys. 2). Symbol W_C na rysunku oznacza poziom dna pasma przewodnictwa a W_F – poziom Fermiego. Możliwości ruchu elektronów o energiach odpowiadających tej studni, czyli leżących powyżej dna pasma przewodnictwa i poniżej poziomu Fermiego, są

praktycznie ograniczone do dwóch wymiarów (z wyłączeniem wymiaru prostopadłego do powierzchni złącza), co jest efektem typowo kwantowym. W odniesieniu do tych elektronów używa się określenia „dwuwymiarowy gaz elektronowy” (two-dimensional electron gas, 2-DEG). Kształt i głębokość studni potencjału w heterozłączu zależą w sposób skomplikowany od parametrów materiałowych i geometrycznych, między innymi od grubości warstw przyłączowych oraz od parametru x w związku $\text{Al}_x\text{Ga}_{1-x}\text{N}$. Strukturę tranzystora HEMT wykonuje się tak, że rejon, w którym powstaje dwuwymiarowy gaz elektronowy jest bardzo słabo domieszkowany (lub niedomieszkowany), co znacznie redukuje efekt rozpraszania nośników i umożliwia uzyskiwanie bardzo dużych ruchliwości elektronów.



Rys. 2. Przebieg dna pasma przewodnictwa w rejonie heterozłącza

3.2. Właściwości azotku galu GaN

Atrakcyjność azotku galu, jako materiału do wytwarzania tranzystorów HEMT, wynika z jego podstawowych właściwości fizycznych, które w tabeli 1 porównano z właściwościami niektórych innych półprzewodników. W porównaniu z krzemem i arsenkiem galu, azotek galu ma wyraźnie większą szerokość pasma energii zabronionych (przerwę energetyczną) W_E i krytyczną wartość natężenia pola elektrycznego E_B , co pozwala na konstrukcję elementów o większych napięciach przebicia niż elementy z Si i GaAs.

Tab. 1. Właściwości niektórych półprzewodników

	Si	GaAs	4H-SiC	GaN
Przerwa energetyczna W_E (eV)	1.12	1.42	3.25	3.40
Pole krytyczne E_B (MV/cm)	0.25	0.4	3.0	3.5
Ruchliwość elektronów μ (cm ² /V s)	1350	8000	800	1300
Prędkość nasycenia v_s (10 ⁷ cm/s)	1.0	2.0	2.0	3.0
Konduktywność cieplna χ (W/cm K)	1.5	0.5	4.9	1.3
Stała dielektryczna ϵ	11.8	12.8	9.7	9.0

Inna, bardzo ważna zaleta azotku galu GaN i azotku glinowo-galowego AlGaN wiąże się z polaryzacją spontaniczną i piezoelektryczną, która występuje w tych materiałach. W szczególności, składnik polaryzacji piezoelektrycznej występuje w wyniku naprężeń pojawiających się w heterozłączu na granicy GaN i AlGaN. Powstająca dzięki temu warstwa swobodnych elektronów o koncentracji powierzchniowej n_s , stanowi dwuwymiarowy gaz elektronowy 2DEG i spełnia funkcję kanału przewodzącego w tranzystorze, nawet bez domieszkowania warstw przyłączeniowych. Koncentracja n_s jest powiązana z głębokością studni potencjału w heterozłączu, pokazanej na rysunku 2 i zależy od parametrów warstwy $Al_xGa_{1-x}N$: jej grubości d oraz czynnika x . Według oszacowań literaturowych, dla odpowiednio dobranych d i x otrzymuje się wartości n_s przekraczające 10^{13} cm⁻², kilkakrotnie większe niż możliwe do uzyskania na przykład w heterozłączu AlGaAs-GaAs [1]. W związku z tym, osiągalne gęstości prądu w tranzystorach HEMT na bazie azotku galu są kilkakrotnie większe niż w tranzystorach heterozłączowych z GaAs i większe niż w kanale tranzystorów MOSFET z krzemu lub węgla krzemu. W połączeniu z dużymi dopuszczalnymi natężeniami pola w GaN, gęstości mocy w tranzystorach z heterozłączem AlGaN-GaN mogą być o rząd większe niż w tranzystorach na bazie krzemu czy arsenku galu. Ma to ogromne znaczenie zwłaszcza w zastosowaniach do szybkiego przetwarzania mocy. Pojemności w strukturze tranzystorów z GaN mogą mieć wartości podobne (lub nawet nieco mniejsze) jak pojemności w tranzystorach z innych typów materiałów (np. Si) o podobnych rozmiarach struktury półprzewodnikowej. Tranzystory z azotku galu, przy podobnych szybkościach pracy jak tranzystory krzemowe, pozwalają na

przetwarzanie znacznie większych mocy, lub mogą przetwarzać te same moce z kilkakrotnie większymi częstotliwościami przełączania.

Możliwość uzyskiwania bardzo dużych gęstości prądu pozwala na otrzymanie bardzo małych rezystancji w stanie przewodzenia $R_{\text{DS(on)}}$. Szacunkowe porównanie możliwych do uzyskania rezystancji $R_{\text{DS(on)}}$ tranzystorów z krzemu i azotku galu na podstawie wzoru (1), przy uwzględnieniu danych z tabeli 1 wskazywałoby, że wartości $R_{\text{DS(on)}}$ w elemencie z azotku galu mogą być ponad 2000 razy mniejsze niż w elemencie krzemowym o tych samych rozmiarach i napięciu przebicia. Należy jednak zauważyć, że ukształtowanie kanału przewodzącego zarówno w tranzystorze MOS (krzemowym) jak i HEMT, nie odpowiada warunkom, dla których wyprowadzono wzór (1), a koncentracja nośników w kanale przewodzącym obu typów tranzystorów nie jest równa koncentracji domieszek w obszarze przewodzenia.

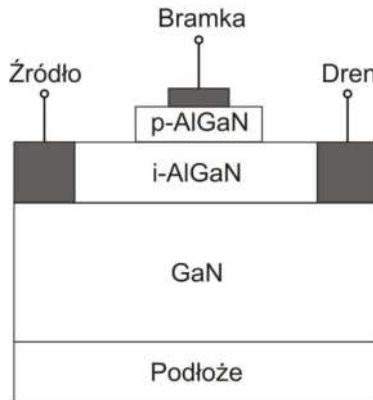
4. Specyfika budowy i właściwości tranzystorów GaN HEMT dla energoelektroniki

Próby zastosowań tranzystorów GaN HEMT w impulsowych przekształtnikach mocy zostały podjęte kilka lat później niż w układach mikrofalowych. Elementy te w obu grupach zastosowań stwarzają możliwość szybkiego przetwarzania dużych gęstości mocy, lecz szczegółowe wymagania związane z tymi dwiema grupami są odmienne. Konsekwencją wymagań, które dotyczą tranzystorów dla energoelektroniki, omówionych w rozdziale 2, jest opracowywanie specjalnych konstrukcji tranzystorów GaN HEMT do zastosowań w przekształtnikach mocy [10] – [18].

4.1. Wytwarzanie tranzystorów normalnie wyłączonych

Jak wspomniano w poprzednich rozdziałach, podstawową odmianę konstrukcyjną tranzystora HEMT na bazie azotku galu stanowi tranzystor normalnie załączony, co nie jest wygodne do zastosowań w przekształtnikach mocy. Układy przekształtników z tranzystorami normalnie załączonymi są spotykane rzadko. Opracowywane obecnie rozwiązania opierają się na wykorzystaniu odpowiednich modyfikacji tranzystorów HEMT pracujących jako tranzystory normalnie wyłączone i można je podzielić na dwie główne grupy. Pierwszą stanowią pojedyncze tranzystory z heterozłącem AlGaIn-GaN, które w wyniku specjalnych zabiegów technologicznych mają cechy tranzystorów normalnie wyłączonych. Drugą grupę stanowią elementy złożone, dwutranzystorowe, z których jeden jest „zwykłym” tranzystorem HEMT normalnie załączonym a drugi jest krzemowym tranzystorem MOS, normalnie wyłączonym. Obie grupy rozwiązań są rozwijane obecnie w laboratoriach firm elektronicznych (np. Panasonic, EPC, Transphorm, Rfmd) i wdrażane do produkcji. Trudno w tej chwili przewidzieć, czy któraś z tych grup ostatecznie zdominuje rynek, czy będą produkowane równolegle [19] – [24].

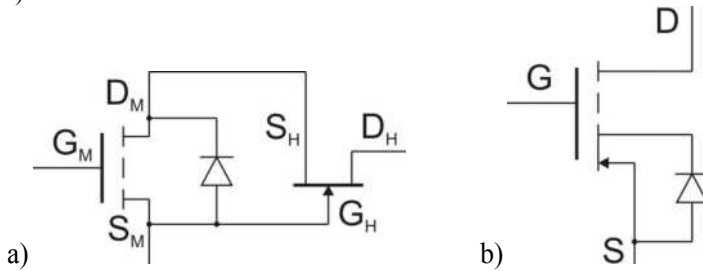
Najważniejszą odmianę w obrębie pierwszej grupy stanowią tranzystory określane jako GIT-GaN, gdzie skrót GIT oznacza gate injection transistor, czyli tranzystor w którym następuje wprowadzanie nośników z warstwy bramki do kanału [21], [23]. Zasadę budowy tranzystora GIT-GaN przedstawia rysunek 3. Podstawowa różnica między tym tranzystorem a typowym tranzystorem HEMT normalnie załączonym polega na tym, że w tranzystorze GIT-GaN, pod metalową elektrodą bramki wytwarza się warstwę azotku glinowo-galowego AlGaN o przewodnictwie typu p (czyli powstaje ona przez domieszkowanie akceptorami). Ta warstwa tworzy złącze p-n lub p-i z warstwą AlGaN typu n lub typu i. Przy braku polaryzacji bramki, po stronie i-AlGaN powstaje warstwa opróżniona z nośników swobodnych, czyli w tej sytuacji nie ma kanału przewodzącego. Dopiero dodatnie napięcie bramki o wartości przekraczającej napięcie progowe powoduje przewodzącą polaryzację złącza, wprowadzanie nośników i indukowanie kanału przewodzącego. Wadą tego rozwiązania jest przepływ prądu między bramką i kanałem przy dodatniej polaryzacji, jednak prąd ten może być wielokrotnie mniejszy niż prąd główny elementu, płynący między końcówkami drenu i źródła. W literaturze można znaleźć doniesienia o wykonaniach komercyjnych i praktycznych zastosowaniach tranzystorów GIT-GaN w układach przekształtników [19], [20].



Rys. 3. Zasada konstrukcji tranzystora GIT-GaN

Wśród innych rozwiązań heterozłączowych tranzystorów GaN normalnie wyłączonych można wymienić tranzystory z zagłębioną bramką (recess gate) lub rozwiązania z odpowiednio dobraną grubością lub domieszkowaniem warstwy AlGaN tak, aby dno studni potencjału pokazane na rysunku 2 znalazło się powyżej poziomu Fermiego. W takich rozwiązaniach, przy braku polaryzacji bramki nie tworzy się dwuwymiarowy gaz elektronowy, czyli nie powstaje kanał przewodzący.

Kanał może dopiero zostać zaindukowany po przyłożeniu do bramki odpowiedniego (dodatniego) napięcia. Wadą omówionych wyżej rozwiązań jest zazwyczaj mała wartość otrzymywanego napięcia progowego i znaczna wrażliwość tej wartości na szczegóły realizacji procesu technologicznego, a także mały zakres napięć bramka-źródło odpowiadający pracy w stanie przewodzenia (bez obawy przeciążenia elementu).



Rys. 4. Normalnie wyłączony tranzystor HEMT w formie połączenia kaskodowego SiMOS-DHEMT: a) połączenia wewnętrzne, b) symbol elementu złożonego

Wygodnym sposobem realizacji elementu o cechach tranzystora HEMT normalnie wyłączonego jest połączenie dwutranzystorowe przedstawione schematycznie na rysunku 4. W takim połączeniu, poza zwykłym tranzystorem HEMT z GaN, normalnie załączonym, występuje krzemowy tranzystor MOSFET normalnie wyłączony z kanałem *n*. Symbol zastępczy elementu pokazany na rysunku 4b) nie oddaje jego połączeń wewnętrznych, gdyż sugeruje, że dioda wsteczna występująca normalnie w tranzystorze MOS, ma zwarte końcówki. Rolę zewnętrznych końcówek bramki i źródła elementu złożonego odgrywają odpowiednie końcówki tranzystora MOS. Element przewodzi tylko wtedy, gdy napięcie między końcówkami bramki i źródła przekracza wartość progową (typowo 2 – 3 V). Możliwe jest przewodzenie w kierunku normalnym (gdy $V_{DS} > 0$) i odwrotnym (gdy $V_{DS} < 0$). W warunkach normalnego przewodzenia, prąd płynie od końcówki D (dren tranzystora HEMT) przez źródło tranzystora HEMT połączone z drenem tranzystora MOS, do źródła tranzystora MOS (końcówka zewnętrzna S). Wypadkowa rezystancja elementu złożonego w stanie ON wynosi:

$$R_{ON} = R_{ON}(MOS) + R_{ON}(HEMT) \quad (2)$$

Tranzystor MOS w tym połączeniu nie musi wytrzymywać dużych napięć, a to oznacza (w świetle uwag związanych z wzorem (1) w rozdziale 2), że składnik $R_{ON}(MOS)$ może być bardzo mały i ma niewielki wpływ na wypadkową rezystancję R_{ON} . Napięcie przebicia struktury złożonej jest napięciem przebicia tranzystora HEMT i może być bardzo duże. W strukturze elementu złożonego, poza tranzystorami GaN HEMT i Si MOS może być zastosowana dioda Schottky'ego

z węgla krzemu włączona „antyrównoległa” [22]. Umożliwia ona skrócenie czasów przełączania elementu.

4.2. Wybrane problemy konstrukcyjno-technologiczne

Konstrukcja i technologia wytwarzania tranzystorów powinny zapewniać jak najlepsze parametry w danej grupie zastosowań, czyli eliminację lub ograniczenie rozmaitych efektów pasożytniczych. Wybór rozwiązań konstrukcyjno-technologicznych powinien też zapewnić możliwie niskie ceny elementów przy produkcji masowej. Należy rozważyć osobno konstrukcję samej struktury półprzewodnikowej oraz konstrukcję obudowy i połączeń struktury z wyprowadzeniami zewnętrznymi [25].

W strukturach tranzystorów HEMT występuje wiele zjawisk niepożądanych, z powodu których niektóre parametry użytkowe nie osiągają wartości przewidywanych teoretycznie na podstawie cech materiału i zasady działania elementu. Efektem niepożądanym w mikrofalowych tranzystorach HEMT z azotku galu jest poświęcona bardzo bogata literatura, część zawartych tam rozważań można odnieść także do tranzystorów HEMT przeznaczonych do przekształtników energoelektronicznych. Często wymienianym efektem pasożytniczym jest „current collapse” opisywany w wielu pozycjach wymienionych w przeglądzie [5]. W tranzystorach przeznaczonych do przekształtników energoelektronicznych przejawia się on w postaci dynamicznych zmian rezystancji R_{ON} po przełączeniu tranzystora ze stanu nieprzewodzenia (OFF) do przewodzenia (ON). Napięcie V_{DS} w stanie OFF może wynosić kilkaset woltów i w rejonie kanału występuje silne pole elektryczne, co powoduje zajmowanie przez elektrony poziomów pułapkowych (powstających w wyniku defektów). Ładunek tych elektronów zakłóca przepływ prądu po przełączeniu do stanu ON, co przejawia się w zwiększonej wartości chwilowej rezystancji R_{ON} . Stopniowe uwalnianie elektronów z pułapek powoduje dynamiczne zmniejszanie rezystancji R_{ON} w trakcie fazy ON, aż do następnego przełączenia. Minimalizacja zmian rezystancji R_{ON} związanych z efektem „current collapse” wymaga ograniczenia koncentracji defektów stanowiących pułapki dla elektronów [26], [27]. Zabiegi, które to zapewniają obejmują przede wszystkim pasywację powierzchni struktury półprzewodnikowej w rejonie między bramką i drenem. W opracowaniu firmy Panasonic [24] stwierdzono, że zastosowane przez firmę zabiegi technologiczne pozwoliły na eliminację efektu zmian rezystancji R_{ON} tranzystorach przeznaczonych do przekształtników mocy.

Specjalne zabiegi potrzebne są także dla zapewnienia dużych napięć przebicia między drenem i źródłem. Wiąże się to między innymi z faktem, że rozkład pola elektrycznego w złożonej strukturze tranzystora HEMT jest silnie nierównomierny. Oprócz tego, występowanie defektów powoduje lokalne zmniejszanie krytycznej wartości pola elektrycznego [28] – [31].

Istotnym czynnikiem konstrukcyjnym tranzystora HEMT jest dobór podłoża struktury półprzewodnikowej. Możliwe jest użycie czterech rodzajów monokrystalicznych warstw podłożowych, których główne cechy zestawiono w Tabeli 2. Podłoże z azotku galu mogłoby zapewnić najmniejszą gęstość defektów i potencjalnie najlepsze parametry ale takie rozwiązanie jest niezwykle trudne technologicznie, bardzo drogie i praktycznie nie ma szans na komercjalizację.

Tab. 2. Porównanie materiałów na płytki podłożowe [1]

Material	Niedopasowanie stałej sieci do GaN	Przewodność cieplna w 300K (W/cm K)	Niedopasowanie współczynników rozszerzalności cieplnej	Rozmiary (w calach) i koszt dostępnych płytek podłożowych
GaN	0%	1.3	0%	2 Bardzo drogie
Szafir	14%	0.3	34%	do 8 Średnie
6H-SiC	3.5%	4.9	25%	do 6 Drogie
Si	-17%	1.3	56%	do 12 Tanie

Z pozostałych rozwiązań, najlepszym (ale najbardziej kosztownym) jest użycie podłoża z węgla krzemu i jest ono chętnie stosowane do wytwarzania mikrofalowych tranzystorów HEMT. Dobór podłoża dla tranzystorów HEMT do przekształtników mocy podyktowany jest w większym stopniu przez czynniki ekonomiczne, ze względu na przewidywane rozmiary rynku – przekształtniki mocy są produkowane masowo. W efekcie dla takich tranzystorów wybiera się tanie podłoże krzemowe i jest to w tej chwili standard dla tranzystorów HEMT wytwarzanych komercyjnie [32]. Skutki znacznego niedopasowania warstw Si i GaN są kompensowane przez użycie warstwy pośredniej z azotku glinu AlN lub azotku glinowo galowego AlGaIn. Jednym z argumentów za używaniem podłoża krzemowego jest możliwość wykonania na wspólnym podłożu zarówno tranzystora HEMT jak i tranzystora MOS tworzących razem połączenie kaskodowe (omówione w podpunkcie 4.1.), a także układu sterującego tranzystorem MOS.

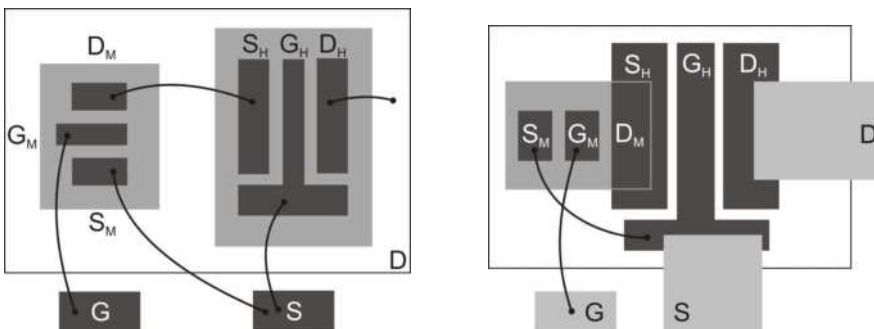
Najważniejsze wymagania dotyczące obudowy, wyprowadzeń i połączeń wewnętrznych mają na celu minimalizację pasożytniczych indukcyjności oraz optymalizację termiczną struktury. W tranzystorach przeznaczonych do przekształtników mocy następuje przełączanie dużych prądów (np. kilkanaście lub

kilkadziesiąt amperów) z dużymi częstotliwościami. Częstotliwości przełączeń w typowych przekształtnikach opartych na elementach krzemowych wynoszą od kilkudziesięciu kHz do kilku MHz. Istnieje duże zapotrzebowanie na przekształtniki pracujące z coraz większymi prądami i coraz większymi częstotliwościami. Z wprowadzaniem tranzystorów HEMT wiążą się oczekiwania na przekroczenie barier wynikających dotąd z ograniczonych możliwości krzemu. Pasożytnicze indukcyjności wprowadzają tutaj bardzo poważne ograniczenia, gdyż przy szybkim przełączaniu dużych prądów pojawiają się impulsy napięcia v_L o wartościach wynikających z wzoru:

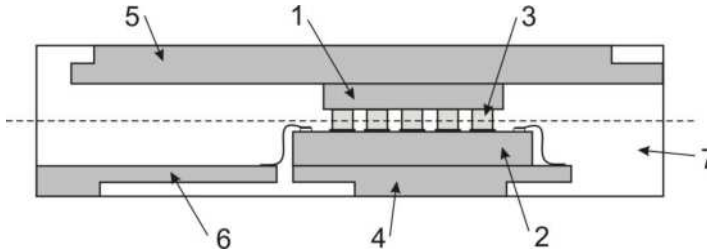
$$V_L = L \cdot \frac{di_L}{dt} \quad (3)$$

Gdyby przekształtnik pracował z częstotliwością 5 MHz, a czas przełączania prądu od zera (stan OFF) do wartości maksymalnej 20 A wynosił 5% okresu, czyli 10 ns to na pasożytniczej indukcyjności wyprowadzenia drenu równej 5 nH powstawałby impuls napięcia o wysokości 10 V. Takie impulsy dochodzące w wyniku sprzężeń do bramki tranzystora powodowałyby niepożądane przełączenia.

Konieczność minimalizacji pasożytniczych indukcyjności jest szczególnie istotna w tranzystorach złożonych: E-MOS (Si) – D-HEMT (GaN) ze względu na występowanie w nich ścieżek łączących poszczególne elektrody tranzystorów składowych. Porównanie dwóch wariantów połączenia struktur składowych w tranzystorze złożonym pokazano na rysunku 5 [33]. W wariacie b) zastosowano bezpośrednie połączenie metalizacji drenu tranzystora MOS i źródła tranzystora HEMT dzięki czemu łączna długość ścieżek, przez które płynie prąd główny elementu złożonego, jest mniejsza niż w wariacie a). Pociąga to jednak za sobą gorsze charakterystyki termiczne – obszary kanałów obu tranzystorów będące w czasie pracy źródłami ciepła, są w wariacie b) bliżej siebie niż w wariacie a). W wariacie b) występuje więc silniejszy efekt samonagrzewania (self-heating), a w szczególności – sprzężenia cieplne między tranzystorami składowymi.



Rys. 5. Dwa warianty rozmieszczenia struktur elementarnych w tranzystorze złożonym – opis w tekście



Rys. 6. Szkic przykładowego przekroju konstrukcji złożonego tranzystora HEMT. 1 – tranzystor HEMT z GaN, 2 – krzemowy tranzystor MOS i układ sterujący, 3 – bolce miedziane, 4, 5, 6 – miedziane wyprowadzenia drenu (GaN HEMT), źródła (MOS) i końcówki sterującej, 7 – izolator.

Problemy cieplne są szczególnie istotne w tranzystorach HEMT, które umożliwiają przetwarzanie dużo większych gęstości mocy niż w innych typach tranzystorów, dlatego aspektom cieplnym w projektowaniu konstrukcji tych tranzystorów poświęca się szczególną uwagę. Samonagrzewanie w tranzystorach HEMT jest drugą, obok pułapek, przyczyną efektu current collapse, a w tranzystorach do przekształtników mocy – zwiększania rezystancji R_{ON} w wyniku wzrostu temperatury wnętrza. Efekt ten ma cechy dodatniego sprzężenia zwrotnego (bo wzrost rezystancji powoduje zwiększenie strat mocy i dalszy wzrost temperatury wnętrza) i w tranzystorach mocy musi być minimalizowany. W literaturze można znaleźć opisy symulacji efektu samonagrzewania w oparciu o specjalnie do tego celu tworzone modele tranzystorów [34-37]. Odrębnym zagadnieniem jest opracowywanie specjalnych konstrukcji struktur i obudów tranzystorów zapewniających minimalizację efektu samonagrzewania [38-40]. Przykłady konstrukcji struktury tranzystora zapewniających małe indukcyjności pasożytnicze i dobre odprowadzanie ciepła, omówione w pracach [33],[41] pokazano na rysunkach 5b) i 6.

4.3. Przykłady parametrów użytkowych

Kilka firm półprzewodnikowych publikuje opisy wytwarzanych od niedawna tranzystorów HEMT określanych jako impulsowe tranzystory mocy (power switches). Porównania wybranych parametrów tranzystorów GaN HEMT i tradycyjnych krzemowych tranzystorów MOSFET w przykładowych układach aplikacyjnych można znaleźć w niektórych opracowaniach naukowych np. [19]. Należy zaznaczyć, że współczesna technologia tranzystorów MOS przeznaczonych do zastosowań w przekształtnikach jest bardzo zaawansowana, gdyż jest wynikiem kilkudziesięciu lat rozwoju. W szczególności, są obecnie na rynku dostępne tranzystory MOS nawet o napięciach dopuszczalnych powyżej 1000 V. Większe napięcia dopuszczalne są rzadko potrzebne w układach przekształtników. Tranzystory HEMT o podobnych napięciach przebicia jak tradycyjne tranzystory

MOSFET, mają zwykle mniejsze (lub zbliżone) wartości rezystancji R_{ON} w stanie włączenia, a przede wszystkim znacznie mniejsze wartości pojemności międzyelektrodowych i ładunków gromadzonych w tych pojemnościach. Główne korzyści z wprowadzania tranzystorów GaN HEMT polegają na możliwości wprowadzania przekształtników o zwiększonych częstotliwościach przełączania przy tym samym poziomie przetwarzanych mocy. Pozwala to na stosowanie mniejszych indukcyjności cewek i mniejszych pojemności kondensatorów, czyli pozwala na zmniejszanie gabarytów i ciężaru przekształtników. Mniejsze rezystancje w stanie włączenia pozwalają na poprawę sprawności energetycznej przekształtników.

Tranzystory HEMT do zastosowań w przekształtnikach, w formie pojedynczych elementów (GITaGaN) lub połączeń kaskodowych omówionych w poprzednim punkcie są obecnie wytwarzane przez kilka firm półprzewodnikowych, np. EPC, Transphorm, RFMD, Panasonic [42-44]. Dopuszczalne prądy wynoszą od kilku do kilkudziesięciu amperów (a nawet powyżej 100 A), dopuszczalne napięcia V_{DS} – od kilkudziesięciu do kilkuset woltów, a w paru przypadkach powyżej 1000 V. Przykładowe parametry kilku typów tranzystorów HEMT prezentowane przez firmę Transphorm zestawiono w tabeli 3 [43].

Tab. 3. Przykładowe parametry tranzystorów GaN HEMT

Typ	TPH3006	TPH3002	TPH3205
Obudowa	TO220 PQFN88	TO220 PQFN88	TO247
R_{DSON} [Ω]	0.15	0.29	0.063
I_D (25°C) [A]	17	9	34
C_o [pF]	56	36	170
Q_g [nC]	6.2	6.2	10
Q_{rr} [nC]	54	29	138

R_{DSON} oznacza rezystancje w stanie ON, a I_D – dopuszczalny prąd drenu w temperaturze pokojowej, C_o – pojemność wyjściową, Q_g – ładunek w pojemności bramka-źródło w stanie ON, Q_{rr} – ładunek usuwany przy wyłączeniu ze stanu przewodzenia wstecznego. Jak wynika z tabeli, tranzystory TPH3002 i TPH3006 są wykonywane w dwóch wersjach – w różnych typach obudów.

5. Przykłady zastosowań

Od momentu pojawienia się pierwszych laboratoryjnych opracowań tranzystorów HEMT przydatnych dla energoelektroniki zaczęto też opracowywać układy przekształtników z takimi tranzystorami. W niektórych przypadkach, układy miały służyć jedynie do oceny parametrów użytkowych tranzystorów HEMT, w innych – głównym celem jest opracowanie użytecznego układu przekształtnika, możliwego do zastosowań praktycznych. Zastosowania tranzystorów HEMT w układach przekształtników mocy wymaga stosowania nieco innych konstrukcji niż w przypadku zastosowań w charakterze elementów wzmacniających w układach mikrofalowych. Jako pośrednią grupę zastosowań można wymienić mikrofalowe wzmacniacze klas D, E i F, w których tranzystory pracują w trybie przełączania [45-48]. Te zastosowania nie będą tu dalej omawiane.

Przykłady zastosowania tranzystorów HEMT w impulsowych przekształtnikach mocy przedstawiono w wielu pozycjach literaturowych. Zakres zastosowań, głównie w układach stanowiących modele laboratoryjne lub prototypy jest już szeroki. Są to między innymi przekształtniki podwyższające napięcie (BOOST) [49-54], lub obniżające napięcie (BUCK) [55], [56], [57]. Autorzy cytowanych prac porównują zwykle właściwości opisywanych układów i układów analogicznych, opartych na tradycyjnych, krzemowych tranzystorach MOS. Wskazują przy tym na korzyści, jakie dało zastosowanie tranzystora HEMT – przede wszystkim poprawę sprawności energetycznej [49], [51], [57] lub zwiększenie zastosowanej częstotliwości przełączania [52], [55]. Poprawa sprawności jest osiągana dzięki temu, że tranzystory HEMT mają mniejsze rezystancje w stanie włączenia (R_{ON}) niż krzemowe odpowiedniki typu MOS. Możliwość zastosowania większych częstotliwości przełączania wynika z mniejszych pojemności tranzystorów HEMT niż tranzystorów MOS o porównywalnych innych parametrach.

Układ opisany w pracy [56] pozwala na obniżanie napięcia z 24 V do 1 V w jednym stopniu przekształtnika, co w związku z zasadą działania przetwornicy BUCK wymaga dokładnego kontrolowania czasu trwania krótkich impulsów napięcia. Realizacja tego w jednym stopniu przekształtnika, przy zastosowaniu dużej częstotliwości przełączeń jest możliwa dlatego, że użyte tranzystory HEMT są dostatecznie szybkie.

W innych publikacjach przedstawiono zastosowanie tranzystorów GaN HEMT w kwasi-rezonansowym przekształtniku Flyback [58], w trójfazowym układzie napędu silnika (realizującym przetwarzanie DC-AC) [59], w prostowniku z korekcją współczynnika mocy (PFC) [60] i w konwerterze rezonansowym typu LLC. Wymienione wyżej układy można zaliczyć do typowych impulsowych przekształtników mocy. Tranzystory GaN HEMT stosowano także w modelach nietypowych przekształtników jak na przykład układ prostujący przebiegi o częstotliwości radiowej (RF), przydatny do bloków zasilania w pojazdach

kosmicznych [62], czy nietypowe rozwiązanie trójfazowego układu prostowniczego [63]. Przykłady zastosowań tranzystorów HEMT w przekształtnikach impulsowych można znaleźć także w materiałach reklamowych producentów tych tranzystorów, np. [43].

6. Podsumowanie

Po udanych zastosowaniach tranzystorów HEMT z azotku galu w mikrofalowych układach nadawczych dość szybko pojawiło się zainteresowanie tym typem elementów ze strony producentów impulsowych przekształtników mocy. W związku z tym szereg firm półprzewodnikowych podjęło udane próby wytwarzania tranzystorów HEMT dostosowanych do pracy w przekształtnikach energoelektronicznych. W ciągu kilku lat opublikowano opisy wykonanych modeli takich tranzystorów, a w ostatnim czasie rozpoczęła się w paru firmach produkcja seryjna. Wykonywane dotychczas tranzystory HEMT z azotku galu górują już w tej chwili niektórymi parametrami nad najlepszymi krzemowymi tranzystorami MOS do zastosowań w przekształtnikach mocy. Technologia tranzystorów GaN HEMT jest nowa i stwarza nadal wiele trudności ale postępy są wyraźne i perspektywy poprawy parametrów bardzo realne. Prace nad udoskonalaniem technologii i konkurencja między producentami przynosi nie tylko poprawę parametrów użytkowych ale także obniżanie cen. Wszystko wskazuje na to, że tranzystory GaN HEMT będą tańsze od tranzystorów z węgliku krzemu o porównywalnych parametrach. Argument cenowy jest bardzo istotny ze względu na rozmiary rynku przekształtników energoelektronicznych. Należy więc sądzić, że w ciągu kilku najbliższych lat tranzystory HEMT z azotku galu staną się najważniejszymi elementami spełniającymi funkcję przełączników sterowanych w energoelektronice.

Opracowanie wykonano w ramach Projektu NCBR PBS1/A3/5/2012

Bibliografia

1. W. Janke, W. Wojtasiak, Właściwości i zastosowania tranzystorów HEMT na bazie azotku galu, *Przegląd Elektrotechniczny*, R. 91, Nr 9/2015, pp. 65-73.
2. A. Lidow et al., *GaN Transistors for Efficient Power Conversion*, WILEY, 2015.
3. U.K. Mishra, P. Parikh and Y. Wu, AlGaIn/GaN HEMTs - An Overview of Device Operation and Applications, *Proc. IEEE*, vol. 90, N. 6, June 2002, pp. 1022-1031.
4. N.Z. Yahaya, M.B.K. Raethar and M. Awan, Review of Gallium Nitride HEMT Device Technology for High Frequency Converter Applications, *J. of Power Electronics*, V. 9, N. 1, Jan. 2009, pp. 36-42.

5. W. Janke, Ograniczenia właściwości użytkowych tranzystorów HEMT wykonywanych na bazie azotku galu, Raport niepublikowany, 2014.
6. Y.C. Liang et al., AlGaN/GaN Power HEMT Devices for Future Energy Conversion Applications, IEEE 2nd International Symposium on Next-Generation Electronics, Kaohsiung, Feb. 25-26, 2013, pp. 7-10.
7. A. Nakajima, K. Takao and H. Ohashi, GaN Power Transistor Modeling for High-Speed Converter Circuit Design, IEEE Trans. on Electron Devices, Vol. 60, N. 2, Feb. 2013, pp. 646-652.
8. J. Baliga, Advanced power rectifier concepts, Springer 2009, Ch. 2: Schottky rectifiers.
9. J. Baliga, The future of power semiconductor device technology, Proc. IEEE, Vol. 89, N. 6, June 2001, pp. 822-831.
10. E. Sönmez et al., Gallium Nitride for 600V Operation, Power Electronics Europe, Is. 4, 2011, pp. 25-28.
11. R. Mitova et al., Investigations of 600 V GaN HEMT and GaN Diode for Power Converter Applications, IEEE Trans. on Power Electronics, 2013.
12. N. Zhang, High voltage GaN HEMTs with low on-resistance for switching applications, PhD. Dissertation, University of California, Santa Barbara, 2002.
13. M. Su et al. Challenges in the Automotive of GaN Power Switching Devices, CS MANTECH Conference, April 23rd – 26th, 2012, Boston, Massachusetts, USA.
14. R. Fernandes, A Multi-Mode 1 MHz PFC Rectifier with Digital Peak Current Modulation. MSc. thesis, University of Toronto, 2015.
15. A. Bhalla, Market Penetration of Wide-Bandgap SiC and GaN technology in light of Silicon Superjunction and IGBT technology evolution. CS MANTECH Conference, May 2014, Denver, Colorado, USA, pp. 9-12.
16. E. Persson, How 600V GaN Transistors Improve Power Supply Efficiency and Density, Power Electronics Europe, Issue 2, 2015, pp. 22-25.
17. M. Cooke, Developing market for normally-off nitride power electronics, Semiconductor Today – Compounds & Advanced Silicon, vol.7, Issue 9, 2013, pp. 82-87.
18. G. Patterson, GaN Switching for Efficient Converters, Power Electronics Europe, Issue 5, 2013, pp. 18-21.
19. A. Tüysüz et al. Performance Comparison of a GaN GIT and a Si IGBT for High-Speed Drive Applications. The 2014 International Power Electronics Conference.
20. J. Rąbkowski and R. Barlik, Experimental evaluation of GaN Gate Injection Transistors. Przegląd Elektrotechniczny, Nr 3/2015, str. 9-12.
21. O. Hilt et al. Normally-off GaN Transistors for Power Applications. MicroTherm'2015, Conference Series 494 (2014).

22. S. Cheng and P.C. Chou. GaN-HEMTs Cascode Switch: Fabrication and Demonstration on Power Conditioning Applications. Proceedings of the 3rd International Conference on Industrial Application Engineering 2015, pp. 548-554.
23. S. Hamady, New concepts for normally-off power Gallium Nitride (GaN) High Electron Mobility Transistor, PhD Thesis, University of Toulouse, 2014.
24. H. Sin and S. Kaneko, Novel GIT Structure Solves Current Collapse in Power HEMT's, How2 Power Today, Sept. 2015, pp. 1-6.
25. J. Roberts et al. GaN Transistors – Drive Control, Thermal Management, Isolation. Power Electronics Technology, February 2013, pp. 24-28.
26. D. Jin and J.A. del Alamo, Mechanisms Responsible for Dynamic ON-Resistance in GaN High-Voltage HEMT's, Proc. of the 2012 24th Intern. Symp. on Power Semiconductor Devices and IC's, June 3-7, 2012, Bruges, Belgium, pp. 333-336.
27. D. Jin, J. del Alamo, Methodology for the study of Dynamic ON-Resistance in High-Voltage GaN Field-Effect Transistors, IEEE Trans. on Electron Devices, Vol. 60, N. 10, Oct. 2013, pp. 3190-3196.
28. B. Lu and T. Palacios High Breakdown (> 1500 V) AlGaIn/GaN HEMTs by Substrate-Transfer Technology, IEEE Electron Device Letters, Vol. 31, N. 9, Sept. 2010, pp. 951-953.
29. Z. Zhao et al., Impact of Surface Traps on the Breakdown Voltage of Passivated AlGaIn/GaN HEMTs Under High-Field Stress, Micro & Nano Letters, Vol. 7, Iss. 11, 2012, pp. 1140-1142.
30. D.J. Macfarlane, Design and fabrication of AlGaIn/GaN HEMTs with high breakdown voltages, PhD Dissertation, School of Engineering, University of Glasgow, 2014.
31. D. Visali, Optimization of GaN-on-Si HEMTs for High Voltage Application, PhD thesis, Katholieke Universiteit Leuven, 2011.
32. H. Mosbahi et al., Electrical Characterization of AlGaIn/GaN HEMTs on Si Substrate, Journal of Electron Devices, vol.15, 2012, pp. 1225-1231.
33. S. She et al. Thermal analysis and improvement of cascade GaN device package for totem-pole bridgeless PFC rectifier, Applied Thermal Engineering 90 (2015), pp. 413-423.
34. J.B. King, T.J. Bazil, Nonlinear Electrothermal GaN HEMT Model Applied to High-Efficiency Power Amplifier Design, IEEE Trans. on Microwave Theory and Techniques, vol. 61, N. 1, Jan. 2013, pp. 444-454.
35. X.D. Wang, W.D. Hu, X.S. Chen and W. Lu, The Study of Self-Heating and Hot-Electron Effects for AlGaIn/GaN Double-Channel HEMTs, IEEE Trans. on El. Dev., vol. 59, NO. 5, May 2012, pp. 1393-1401.

36. A. Santarelli et al. Nonlinear Thermal Resistance Characterization for Compact Electrothermal GaN HEMT Modelling, Proc. 5-th Europ. Microwave Integrated Circuits Conf. 27 – 28 Sept. 2010, Paris France, pp. 82-85.
37. M. Bernardoni, N. Delmonte, R. Menozzi, Empirical and Physical Modeling of Self-Heating in Power AlGaIn/GaN HEMT, CS MANTECH Conference, Apr. 23 – 26, 2012, Boston, USA.
38. H.C. Nochetto, N.R. Jankowski, A. Bar-Cohen, The Impact of GaN/Substrate Thermal Boundary Resistance on a HEMT Device, Proc. ASME IMECE 2011, Nov. 11-17, 2011, Denver, USA.
39. S. Dahmani, Large-Size AlGaIn/GaN HEMT Large-Signal Electrothermal Characterization and Modeling for Wireless Digital Communications, PhD Dissertation, University of Kassel, 2011.
40. J.A.F. Perez, Thermal Study of a GaN-Based HEMT, PhD thesis, University of Notre Dame, Indiana, 2012.
41. P.C. Chou and S. Cheng, Performance characterization of gallium nitride HEMT cascade switch for power conditioning applications, Materials Science and Engineering B 198 (2015) 43-50.
42. RFJS006F Technical Data, RFMD Inc. USA.
43. Transphorm – Establishing the New Power Conversion Platform, Materiały firmy Transphorm.
44. F. Recht et al., Characteristics of Transphorm GaN Power Switches, Appl. Note AN-0002, Transphorm Inc.
45. S. Lin and A.E. Fathy, A 20 W GaN HEMT VHF/UHF Class-D Power Amplifier, IEEE 12th Annual Wireless and Microwave Technology Conference (WAMICON), Clearwater Beach, 18-19 April 2011, pp. 1-4.
46. D. Kalim, D. Pozdniakov and R. Negra, A 3.37 GHz Class-F⁻¹ Power Amplifier with 77% PAE in GaN HEMT Technology, PRIME 2012, Aachen, Session FG2 – Transceivers, pp. 297-300.
47. J.A. Garcia, R. Marante and M.N.R. Lavin, GaN HEMT Class E² Resonant Topologies for UHF DC/DC Power Conversion, IEEE Trans. on Microwave Theory and Techniques, Vol. 60, N. 12, Dec. 2012, pp. 4220-4229.
48. R. Marante et al., A UHF Class E² DC/DC Converter Using GaN HEMTs, IEEE MTT-S 2012 Intern. Microwave Symposium, Montreal.
49. Y. Wu et al., A 97.9% Efficient GaN HEMT Boost Converter With 300-W Output Power at 1 MHz, IEEE Electron Device Letters, Vol. 29, Issue 8, Aug. 2008, pp. 824-826.
50. J. Everts et al. A Hard Switching VIENNA Boost Converter for Characterization of AlGaIn/AlGaIn Power DHFETs. Abstract for PCIM Europe 2010.

51. B. Hughes et al., A 95% Efficient Normally-Off GaN-on-Si HEMT Hybrid-IC Boost-Converter with 425-W Output Power at 1 MHz, IEEE Compound Semiconductor Integrated Circuit Symposium, (CSICS), Waikoloa, 16-19 Oct. 2011, pp. 1-3.
52. F. Gamand, M.D. Li and C. Gaquiere, A 10 MHz GaN HEMT DC/DC Boost Converter for Power Amplifier Applications, IEEE Trans. on Circuits and Systems – II: Express Briefs, Vol. 59, N. 11, Nov. 2012, pp. 776-779.
53. M. Kasper et al. PV Panel-Integrated High Step-up High Efficiency Isolated GaN DC-DC Boost Converter. INTELEC(r) 2013, October 2013, Hamburg, pp. 602-608.
54. Utilizing GaN HEMTs in All-in-One Workstation Power Supply, DN05067/D, ON Semiconductor, 2015.
55. F. Gamand, V.D. Giacomo and C. Gaquiere, 10 MHz DC/DC Converter Based on GaN HEMT for RF Applications, 33rd Intern. IEEE Telecommunications Energy Conference, Amsterdam, 9-13 Oct. 2011, pp. 1-4.
56. E. Abdoulin and A. Lidow, High Frequency 24 V – 1 V DC-DC Converters Using EPC's Gallium Nitride (GaN) Power Transistors, Appl. Note AN007, Efficient Power Corporation, 2011, pp. 1-4.
57. J. Delaine et al., Improvement of GaN Transistors Working Conditions to Increase Efficiency of a 100 W DC-DC Converter, Twenty Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, 17-21 March 2013, pp. 3232-3235.
58. S.L. Jeng et al. Quasi-Resonant Flyback DC/DC Converter Using GaN Power Transistors. World Electric Vehicle Journal Vol. 5 California, 2012, pp. 0567-0573.
59. Y-F. Wu et al., High-Frequency, GaN Diode-Free Motor Drive Inverter with Pure Sine Wave Output, Power Transmission Engineering, Oct. 2012, pp. 40-43.
60. H. Nakao et al., 2.5-kW Power Supply Unit with Semi-Bridgeless PFC Designed for GaN-HEMT, Twenty Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, 17-21 March 2013, pp. 656-663.
61. W. Zhang et al., Evaluation of 600V Cascode GaN HEMT in Device Characterization and All-GaN-Based LLC Resonant Converter, IEEE Energy Conversion Congress and Exposition, Denver, 15-19 Sept. 2013, pp. 3571-3578.
62. Y. Kobayashi et al., GaN HEMT Based Rectifier for Spacecraft Health Monitoring System Using Microwave Wireless Power Transfer, Proc. of APMC, Kaohsiung, Taiwan, Dec. 4-7, 2012, pp. 391-393.

63.Y. Hayashi et al. Design Consideration for High Power Density GaN Buck-Rectifier in ISOP-IPOS Converter based dc Distribution System. *Journal of Energy and Power Engineering* 9 (2015), pp. 574-584.

Streszczenie

Praca zawiera przegląd problematyki zastosowań tranzystorów HEMT (high electron mobility transistors) w wysokosprawnych układach przekształtników mocy. Wymieniono najważniejsze wymagania stawiane elementom półprzewodnikowym we współczesnych przekształtnikach energoelektronicznych. Przedstawiono główne cechy heterostruktur GaN-GaAlN i tranzystorów opartych na takich strukturach. Przedyskutowano różne rozwiązania konstrukcyjno-technologiczne struktur HEMT o cechach tranzystora normalnie wyłączonego (pracującego ze wzbogaceniem). Pokazano przykładowe parametry tranzystorów HEMT pracujących dla energoelektroniki. Omówiono także wybrane rozwiązania impulsowych przekształtników BUCK i BOOST oparte na tranzystorach HEMT i ich główne właściwości.

Abstract

The applications of gallium nitride (GaN) high electron mobility transistors (HEMT) in modern power converters are reviewed. Basic demands for semiconductor devices used in switch-mode high efficiency power converters are summarized. Specific features of GaN-GaAlN heterostructure and HEMT's are briefly described.

Different solutions of enhancement-mode HEMT applicable in power converters of resulting parameters of HEMT-based enhancement-mode transistors are given. The exemplary power converters based on GaN HEMT's, including BUCK and BOOST circuits are presented and their features discussed.

Nataliya Maslennikova

Computer Engineering Department

Politechnika Koszalińska

E-mail: olegmas@wp.pl

Anatolij Sergiyenko

Computer Engineering Department

National Technical University of Ukraine, „KPI”

E-mail: aser@comsys.kpi.ua

Tunable Infinite Impulse Response Filters in FPGA

Keywords: IIR, FPGA, allpass filter, structure synthesis

Introduction

Infinite impulse response (IIR) filters are often used in digital signal processing (DSP). To adjust the IIR filter parameters dynamically different techniques are used. The most common method is based on calculating a set of coefficients, which are stored in ROM. The IIR filter tuning is the complex transition process that distorts the output signal proportionally to the quality factor of the filter and the step of the parameter changing [1].

The tunable narrow-band filters are usually based on the multistage decimation, and interpolation filters, and often use the two-step heterodyne frequency transfer [1,5]. But the combination of narrowband, and broadband filters require complex technical solutions.

IIR filters based on a field programmable gate array (FPGA) have high throughput and quality. But to implement the tunable IIR filter the usual computer system should include a microcontroller to calculate the coefficients, or coefficient ROM of a large volume, which significantly increases the hardware costs.

In the work the implementation of a dynamically tunable IIR filter is proposed, which is based on the phase filter having a smooth exchange of its parameters through the use of the frequency masking effect and filters with multiple delays.

1. Masking filters

The cascaded connection of the filter stages has the resulting frequency response, which is the intersection of frequency responses of these stages. In this cascaded filter the frequency response of one stage can mask frequency responses of other stages as is shown in Fig. 1. Because of the masking effect, the resulting filter, consisting of simple filter stages, has the high-quality frequency response H_{res} [2,3].

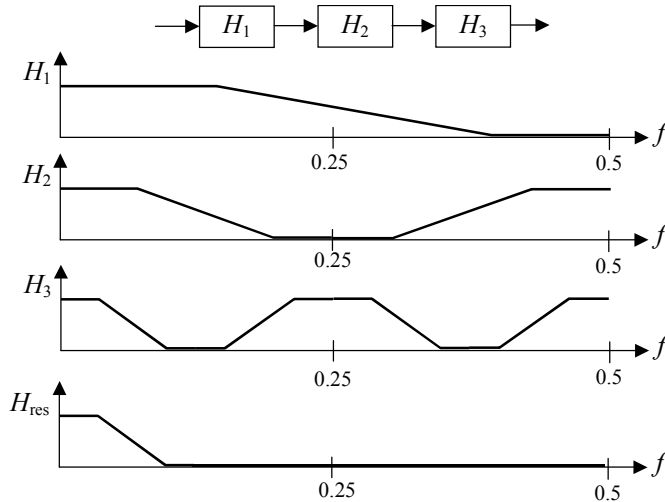


Fig. 1. Frequency response of the three-staged filter

2. Multiple delays filter

Each variable z^{-k} in the transfer function $H_0(z)$ corresponds to a delay of k cycles in the filter signal graph, or to a chain of k delay registers in the filter structure. If the number of delay registers in the IIR filter is increased to n times, then the filter transfer function is exchanged as $H_n(z) = H_0(z^n)$. FRC of the modernized filter has the same shape as that of the filter – prototype $H_0(z)$, but in the range of $0 - f_s$ it is repeated n times, where f_s is the sampling frequency [4]. The diagrams in Fig. 1 represent $H_1 = H_0(z)$, $H_2 = H_0(z^2)$, $H_3 = H_0(z^4)$.

3. IIR filters based on the phase filters

The phase filter has a transfer function magnitude, which is equal to $|H(z)| = 1$. If the signals from two-phase filters are added, then the resulting signal is

suppressed at the frequencies, for which the phase difference is equal to π . The resulting transfer function is

$$H_S = (H_1(z) \pm H_2(z))/2, \quad (1)$$

and corresponds to a low pass filter (LPF), high pass filter (HPF), bandpass, or notch filter according to the summation sign, and the order of the phase filters [5]. Consider the transfer function $H_1(z)$ has the phase shift, which is equal to π in some frequency f_R , and $H_2(z) = z^{-1}$. Then we have LPF when the sign is plus, and HPF when we have the opposite sign, and f_R is the cutoff frequency.

IIR filters based on the phase filters are distinguished by high stability, low immunity to the coefficient precision, high linearity of the pass band characteristic, and high speed. The parameters of frequency response, such as the position of the cutoff frequency, the slope of the transition band, are directly dependent on the filter coefficients [1,5].

4. Dynamically tuned LPF

To construct LPF, which is tunable over a wide frequency range, the filter structure is proposed, which includes the stages of masking filters $H(z), \dots, H(z^k)$ and a stage of the forming filter $H(z^k, a, b)$, as it is shown in Fig. 2. The frequency response $H(z)$ is the response of the bireciprocal filter [5]. The example of the frequency response of the filters $H(z)$, $H(z^2)$, and $H(z^4)$ is shown in Fig. 1. The transfer function of a first stage is based on the phase filter:

$$H(z) = 0,5z^{-1} + 0,5 \frac{a + b(1+a)z^{-1} + z^{-2}}{1 + b(1+a)z^{-1} + az^{-2}}, \quad (2)$$

where the first, and second terms are $H_1(z)$ and $H_2(z)$ in the equation (1). The coefficient b adjusts the cutoff frequency f_R , and the coefficient a specifies the width of the transition band Δf [5], where

$$b = \cos(2\pi f_R); \quad a = (1 - t)/(1 + t); \quad t = \operatorname{tg}(\pi \Delta f). \quad (3)$$

Thus, by changing b in (2), the cutoff frequency is adjustable in the range of $(0,1 - 0,4)f_S$ providing the suppression up to 50 dB in the suppression band. It should be noted, that all of the filter stages are calculated by a single algorithm but with different coefficients a , b , and the number of delay registers k .

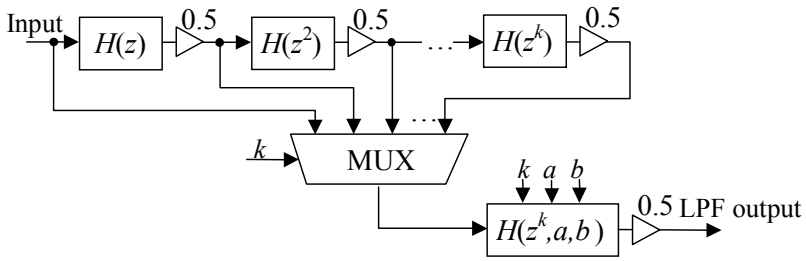


Fig. 2. Structure of the low pass filter with the tunable parameters

5. Dynamically tunable HPF

A narrow band HPF can be obtained by subtracting the LPF results, described above, from the delayed input signal. However, due to the non-ideal low pass transfer characteristic, the attenuation of such a filter does not exceed 30–40 dB.

Consider the filter with the property of double complementary filter characteristics. Two filters are called complementary if the pass band frequency response of one filter corresponds to the stop band frequency response of another filter. If additionally the total energy of the output signals of these filters is equal to the power of the input signal, then the filters are called double complementary ones. And the fact is that LPF, and HPF, given by the formula (1), are double complementary filters [5]. Thus, adding such filter output signals, we get the copy of the input signal not taking into account the calculation errors.

Fig. 3 shows the structure of HPF with the complementary LPF, which is constructed using the double complementary filter property. The first filter stage separates the input signal into two bands: the low pass band (upper branch) and high pass band (lower branch). The second stage does the same calculations with the low pass band output of the first stage. The resulting signal of the second stage is formed as the sum of the high-frequency signal, and the delayed high pass signal of the first stage. The output signal of HPF in Fig. 3 has a bandwidth of $7 \cdot f_s / 16$. The HPF bandwidth is tuned as well as in the LPF described above. The coarse passband is selected as the i -th stage output, and the precise cutoff frequency f_r is regulated by the coefficients of the final stage.

The bandpass filters can be constructed as the combination of LPF, and HPF, which is described above. Two outputs of the filter in Fig.3 can be effectively used in the filter bank design.

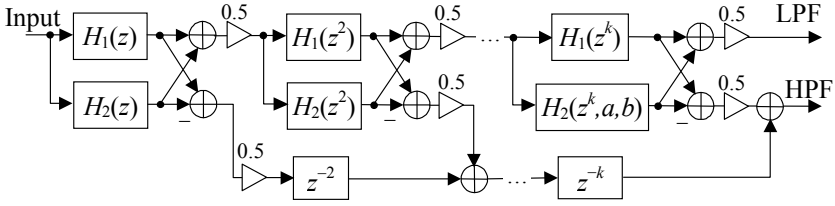


Fig. 3. HPF structure based on the double complementary filters

6. Example of LPF implementation

To implement the dynamically tunable LPF, the structure in Fig. 2 was chosen. To obtain the stopband attenuation of over 80 dB, and the transition band slope of 100 dB per octave the filter stage has to implement the $10k$ -th order transfer function

$$H(z^k) = \left[z^{-2k} + \frac{a + b(1+a)z^{-k} + z^{-2k}}{1 + b(1+a)z^{-k} + az^{-2k}} \cdot \frac{c + z^{-k}}{1 + cz^{-k}} \right]^2. \quad (4)$$

Here, the coefficient c infers the cutoff frequency f_r , and slightly smoothes out the frequency response. The approximate value of the cutoff frequency and the transition band slope of the filter are defined as in the equations (3). In a single filter stage, which is implementing the transfer function (4) for $k = 1$, the cutoff frequency is tuned in the range of $(0,125 - 0,4)f_s$. Three stages of the masking filters expand this range to $(0,015 - 0,4)f_s$.

The filter structure synthesis is performed using the method of the synchronous dataflow graph scheduling, which provides the formal design of pipelined structures with high throughput and minimized hardware volume. The method consists in placing the signal flow graph in the multidimensional index space, and mapping it in the subspaces of structures, and time events. Limitations on the mapping process help to minimize both the clock period and hardware costs of the filter structure, which is configured in FPGA [6,7].

The resulting filter structure has three multiplication units for the coefficients a , b , c , which are shared in time between four filter stages. The structure operates with a period of 8 clock cycles, calculating 24 multiplications per period. Due to the fully pipelined filter structure, the clock frequency f_{CLK} achieves high values.

A special calculation unit is added to the filter structure, which calculates the coefficients a , b , c , depending on the cutoff frequency f_r due to the formulas (3). The frequency f_r is inputted as 12-bit width word, two bits of it control the multiplexer in Fig. 2. The new cutoff frequency is set immediately after the frequency code is registered in the filter, and begins to act after the respective signal transition process. The filter is stable for all possible combinations of the frequency codes.

Fig. 4 shows the frequency response of the filter, depending on the cutoff frequency that demonstrates its high quality. The frequency response is obtained using the filter testbench procedure, presented in [8]. The filter has a high suppression level and a narrow transition band at different settings. The passband ripple is not succeeded 0,23dB.

The characteristics of the filter for the 16-bit data, implemented in Xilinx FPGAs, are presented in Table. 1. Note that each implementation contains only three DSP48 multiplication blocks.

The module of the low-pass filter, which is described in VHDL, is freely accessible on the website of open IP cores [9].

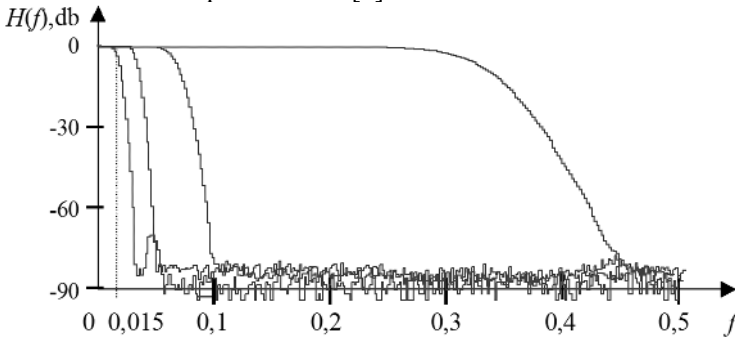


Fig. 4. Characteristics of LPF for different k values

Table 1. Characteristics of the filter, implemented in Xilinx FPGAs

FPGA	LUTs	CLBs	Maximum f_{CLK} , MHz	Maximum f_s , MHz
Spartan-3e	842	700	134	16
Spartan-6	692	268	199	25
Kintex-7	708	298	316	39

7. Conclusions

It is proven that the use of phase IIR filters with multiple delays, and frequency masking effect, it is possible to design the high throughput dynamically tunable IIR filter. The filter structure is performed using the method of mapping the spatial synchronous data flow graph. The proposed filter is effectively implemented in FPGA, where it has small hardware volume and high clock frequency due to the pipelined structure. Such filters can be implemented in a program as well.

References

1. Oppenheim, A.V., Schaffer, R.W., *Discrete-Time Signal Processing*, 3-d Ed., Prentice-Hall, New Jersey, 2009.
2. Lim Y.C., Lian Y., *Frequency-response masking approach for digital filter design: Complexity reduction via masking filter factorisation*, IEEE Trans. Circuits Syst. II: Analog and Digital Signal Processing, Vol. 41, N4, P. 518–525, 1994.
3. Lu W.-S., Hinamoto T., *Optimal Design of Frequency-Response-Masking Filters Using Semidefinite Programming*, IEEE Trans. Circuits Syst. I: Fundamental theory and applications, Vol. 41, N4, Aug, P. 557–568, 2003.
4. Crochiere, R.E., Rabiner, L.R., *Multirate digital signal processing*, Englewood Cliffs, NJ, Prentice-Hall, 1983.
5. Regalia P.A., Mitra S.K., Vaidyanathan P.P., *The Digital All-Pass Filter: A Versatile Signal Processing Building Block*, Proc. IEEE, Vol.76, №1, P.19–37, 1988.
6. Sergiyenko A.M., Simonenko V.P. *Otobrajenie perioditsheskich algorytmov v programiruemye logitsheskie integralnye schemy*, Electronic Modeling, Vol. 29, №2, P.49–61, 2007. (In Russian)
7. Maslennikowa N., Sergiyenko A., *Scheduling of synchronous dataflow graphs for datapath synthesis*, Zeszyty Naukowe Wydziału Elektroniki i Informatyki, Nr 8, Koszalin, P. 53–60. 2015.
8. Sergiyenko A., *Testbench for the filter testing*. Available at http://kanyevsky.kpi.ua/useful_core/testbench_for_filter.html
9. Sergiyenko, A., Uzenkov, O., *Low-Pass IIR Filter*, 2010. Available at http://opencores.org/project,lp_iir_filter

Summary

Features of the dynamically tuned IIR filters, which are configured in FPGA, are considered. The filters utilize the frequency masking properties of the all-pass digital filters, which have the delay factors z^k . The mapping of the filter algorithm is implemented using pipelining and retiming techniques, based on the spatial synchronous dataflow graph, which provides the small hardware volume, and high clock frequency. The smooth stopband frequency tuning is provided by the built-in coefficient calculator.

Streszczenie

Dany artykuł poświęcony jest właściwościom filtrów cyfrowych, zrealizowanych w programowalnych logicznych układach scalonych. Dzięki wykorzystaniu filtrów fazowych, efektów maskowania, potokowości oraz rozproszeniu zasobów otrzymano małe nakłady aparaturowe oraz wysoką częstotliwość taktowania filtrów. Strukturę filtra otrzymano metodą odwzorowania grafu przestrzennego synchronicznych potoków danych algorytmu filtracji. Płynna zmiana częstotliwości przekroju jest osiągnięta poprzez szybkie obliczenie współczynników filtra we wbudowanym kalkulatorze współczynników.

Słowa kluczowe: filtry IIR, FPGA, filtry fazowe, synteza struktury.

Dariusz Jacek Jakóbczak

Zakład Podstaw Informatyki i Zarządzania

Wydział Elektroniki i Informatyki

Politechnika Koszalińska

Reconstruction of High-dimensional Data using the Method of Probabilistic Features Combination

Keywords: image retrieval, pattern recognition, data modeling, vector interpolation, PFC method, feature reconstruction, probabilistic modeling

1. Introduction

The problem of multidimensional data modeling appears in many branches of science and industry. Image retrieval, data reconstruction, object identification or pattern recognition are still the open problems in artificial intelligence and computer vision. The paper is dealing with these questions via modeling of high-dimensional data for applications in image retrieval. Image retrieval is based on probabilistic modeling of unknown features via combination of N-dimensional probability distribution function for each feature treated as random variable. Handwriting and signature recognition and identification represents a significant problem. In the case of biometric writer recognition, each person is represented by the set of modeled letters or symbols. So high-dimensional data interpolation in handwriting identification [20] is not only a pure mathematical problem but important task in pattern recognition and artificial intelligence such as: biometric recognition, personalized handwriting recognition [3-5], automatic forensic document examination [6,7], classification of ancient manuscripts [8]. Also writer recognition [9] in monolingual handwritten texts is an extensive area of study and the methods independent from the language are well-seen [10-13]. Writer recognition methods in the recent years are going to various directions [14-18]: writer recognition using multi-script handwritten texts, introduction of new features, combining different types of features, studying the sensitivity of character size on writer identification, investigating writer identification in multi-script environments, impact of ruling lines on writer identification, model perturbed handwriting, methods based on run-length features, the edge-direction and edge-hinge features, a combination of codebook and visual features extracted from chain code and polygonized representation of contours, the autoregressive coefficients, codebook and efficient

code extraction methods, texture analysis with Gabor filters and extracting features, using Hidden Markov Model [19] or Gaussian Mixture Model [1]. So hybrid soft computing is essential: no method is dealing with writer identification via N-dimensional data modeling or interpolation as it is presented in this paper [2]. Proposed method relies on nodes combination and functional modeling of curve points situated between the basic set of key points. The functions that are used in calculations represent whole family of elementary functions with inverse functions: polynomials, trigonometric, cyclometric, logarithmic, exponential and power function. These functions are treated as probability distribution functions in the range $[0;1]$. Nowadays methods apply mainly polynomial functions, for example Bernstein polynomials in Bezier curves, splines [25] and NURBS. But Bezier curves don't represent the interpolation method and cannot be used for example in signature and handwriting modeling with characteristic points (nodes). Numerical methods [21-23] for data interpolation are based on polynomial or trigonometric functions, for example Lagrange, Newton, Aitken and Hermite methods. These methods have some weak sides and are not sufficient for curve interpolation in the situations when the curve cannot be build by polynomials or trigonometric functions [24].

This paper presents novel Probabilistic Features Combination (PFC) method of high-dimensional interpolation and multidimensional data modeling. The method of PFC requires information about data (image, object, curve) as the set of N-dimensional feature vectors. Proposed PFC method is applied in image retrieval and recognition tasks via different coefficients for each feature as random variable: polynomial, sinusoidal, cosinusoidal, tangent, cotangent, logarithmic, exponential, arc sin, arc cos, arc tan, arc cot or power. Modeling functions for PFC calculations are chosen individually for every task and they represent probability distribution functions of random variable $\alpha_i \in [0;1]$ for every feature $i=1,2,\dots,N-1$. So this chapter wants to answer the question: how to retrieve the image using N-dimensional feature vectors?

2. Multidimensional Modeling of Feature Vectors

The method of PFC is computing (interpolating) unknown (unclear, noised or destroyed) values of features between two successive nodes (N-dimensional vectors of features) using hybridization of probabilistic methods and numerical methods. Calculated values (unknown or noised features such as coordinates, colors, textures or any coefficients of pixels, voxels and doxels or image parameters) are interpolated and parameterized for real number $\alpha_i \in [0;1]$ ($i = 1,2,\dots,N-1$) between two successive values of feature. PFC method uses the combinations of nodes (N-dimensional feature vectors) $p_1=(x_1,y_1,\dots,z_1)$, $p_2=(x_2,y_2,\dots,z_2),\dots$, $p_n=(x_n,y_n,\dots,z_n)$

as $h(p_1, p_2, \dots, p_m)$ and $m=1, 2, \dots, n$ to interpolate unknown value of feature (for example y) for the rest of coordinates:

$$c_1 = \alpha_1 \cdot x_k + (1 - \alpha_1) \cdot x_{k+1}, \dots, c_{N-1} = \alpha_{N-1} \cdot z_k + (1 - \alpha_{N-1}) \cdot z_{k+1}, \quad k = 1, 2, \dots, n-1,$$

$$c = (c_1, \dots, c_{N-1}), \quad \alpha = (\alpha_1, \dots, \alpha_{N-1}), \quad \gamma_i = F_i(\alpha_i) \in [0; 1], \quad i = 1, 2, \dots, N-1$$

$$y(c) = \gamma \cdot y_k + (1 - \gamma) y_{k+1} + \gamma(1 - \gamma) \cdot h(p_1, p_2, \dots, p_m), \quad (1)$$

$$\alpha_i \in [0; 1], \quad \gamma = F(\alpha) = F(\alpha_1, \dots, \alpha_{N-1}) \in [0; 1].$$

Then $N-1$ features c_1, \dots, c_{N-1} are parameterized by $\alpha_1, \dots, \alpha_{N-1}$ between two nodes and the last feature (for example y) is interpolated via formula (1). Of course there can be calculated $x(c)$ or $z(c)$ using (1). The example of h (when $N = 2$) computed for MHR method [26] with good features because of orthogonal rows and columns at Hurwitz-Radon family of matrices:

$$h(p_1, p_2) = \frac{y_1}{x_1} x_2 + \frac{y_2}{x_2} x_1. \quad (2)$$

The simplest nodes combination is

$$h(p_1, p_2, \dots, p_m) = 0 \quad (3)$$

and then there is a formula of interpolation:

$$y(c) = \gamma \cdot y_i + (1 - \gamma) y_{i+1}.$$

Formula (1) gives the infinite number of calculations for unknown feature (determined by choice of F and h) as there is the infinite number of objects to recognize or the infinite number of images to retrieve. Nodes combination is the individual feature of each modeled data. Coefficient $\gamma = F(\alpha)$ and nodes combination h are key factors in PFC data interpolation and object modeling.

2.1. N-dimensional probability distributions in PFC modeling

Unknown values of features, settled between the nodes, are computed using PFC method as in (1). Key question is dealing with coefficient γ . The simplest way of PFC calculation means $h=0$ and $\gamma_i = \alpha_i$ (basic probability distribution for each random variable α_i). Then PFC represents a linear interpolation. Fig.1 is the example of curve (data) modeling when the formula is known: $y=2^x$.

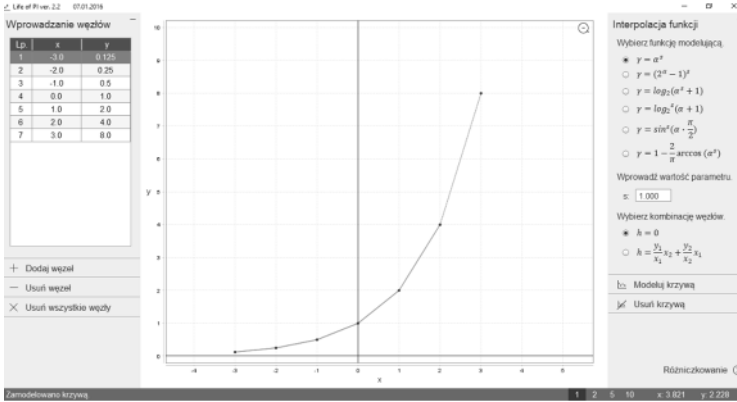


Fig. 1. PFC linear 2D modeling of function $y=2^x$ with seven nodes (in left window) and options in right window (modeling functions γ and nodes combination h).

MHR method [26] is the example of PFC modeling for feature vector of dimension $N=2$. Each interpolation requires specific distributions of random variables α_i and γ in (1) depends on parameters $\alpha_i \in [0;1]$:

$$\gamma = F(\alpha), F: [0;1]^{N-1} \rightarrow [0;1], F(0, \dots, 0) = 0, F(1, \dots, 1) = 1$$

and F is strictly monotonic for each random variable α_i separately. Coefficient γ_i are calculated using appropriate function and choice of function is connected with initial requirements and data specifications. Different values of coefficients γ_i are connected with applied functions $F_i(\alpha_i)$. These functions $\gamma_i = F_i(\alpha_i)$ represent the examples of probability distribution functions for random variable $\alpha_i \in [0;1]$ and real number $s > 0, i = 1, 2, \dots, N-1$:

$$\begin{aligned} \gamma_i &= \alpha_i^s, \quad \gamma_i = \sin(\alpha_i^s \cdot \pi/2), \quad \gamma_i = \sin^s(\alpha_i \cdot \pi/2), \quad \gamma_i = 1 - \cos(\alpha_i^s \cdot \pi/2), \quad \gamma_i = 1 - \cos^s(\alpha_i \cdot \pi/2), \\ \gamma_i &= \tan(\alpha_i^s \cdot \pi/4), \quad \gamma_i = \tan^s(\alpha_i \cdot \pi/4), \quad \gamma_i = \log_2(\alpha_i^s + 1), \quad \gamma_i = \log_2^s(\alpha_i + 1), \quad \gamma_i = (2^{\alpha_i} - 1)^s, \\ \gamma_i &= 2/\pi \cdot \arcsin(\alpha_i^s), \quad \gamma_i = (2/\pi \cdot \arcsin \alpha_i)^s, \quad \gamma_i = 1 - 2/\pi \cdot \arccos(\alpha_i^s), \quad \gamma_i = 1 - (2/\pi \cdot \arccos \alpha_i)^s, \\ \gamma_i &= 4/\pi \cdot \arctan(\alpha_i^s), \quad \gamma_i = (4/\pi \cdot \arctan \alpha_i)^s, \quad \gamma_i = \text{ctg}(\pi/2 - \alpha_i^s \cdot \pi/4), \quad \gamma_i = \text{ctg}^s(\pi/2 - \alpha_i \cdot \pi/4), \\ \gamma_i &= 2 - 4/\pi \cdot \text{arccctg}(\alpha_i^s), \quad \gamma_i = (2 - 4/\pi \cdot \text{arccctg} \alpha_i)^s \end{aligned}$$

or any strictly monotonic function between points (0;0) and (1;1) – for example combinations of these functions.

Interpolations of function $y=2^x$ for $N = 2, h = 0$ and $\gamma = \alpha^s$ with $s=0.8$ (Fig.2) or $\gamma = \log_2(\alpha+1)$ (Fig.3) are quite better then linear interpolation (Fig.1).

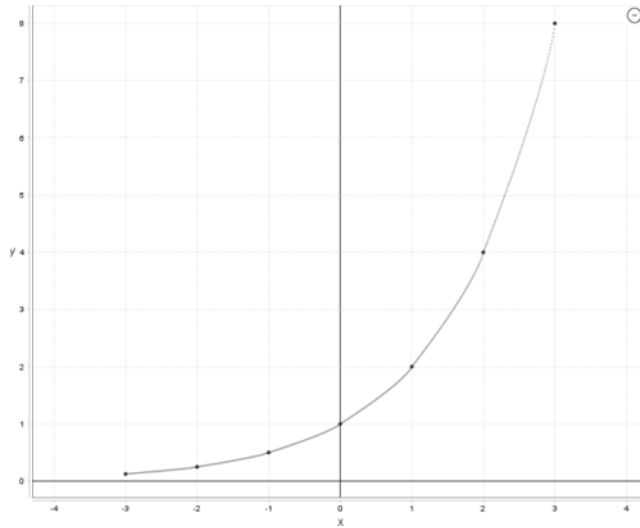


Fig. 2. PFC two-dimensional modeling of function $y=2^x$ with seven nodes as Fig.1 and $h=0$, $\gamma=\alpha^{0.8}$.

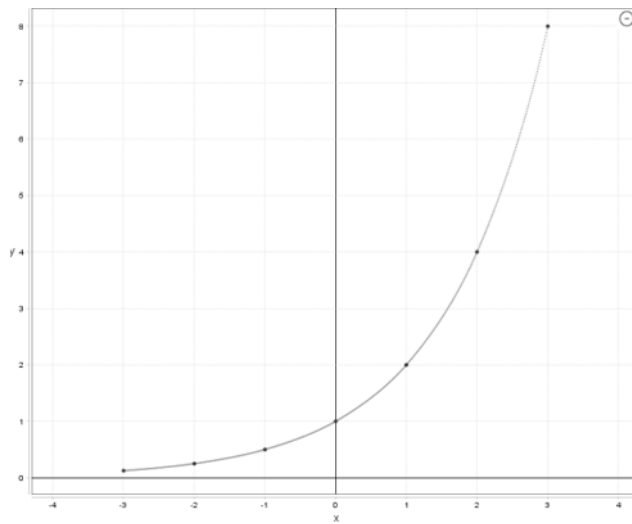


Fig. 3. PFC two-dimensional reconstruction of function $y=2^x$ with seven nodes as Fig.1 and $h=0$, $\gamma = \log_2(\alpha+1)$.

Functions γ_i are strictly monotonic for each random variable $\alpha_i \in [0;1]$ as $\gamma = F(\alpha)$ is N -dimensional probability distribution function, for example:

$$\gamma = \frac{1}{N-1} \sum_{i=1}^{N-1} \gamma_i, \quad \gamma = \prod_{i=1}^{N-1} \gamma_i$$

and every monotonic combination of γ_i such as

$$\gamma = F(\alpha), \quad F: [0;1]^{N-1} \rightarrow [0;1], \quad F(0, \dots, 0) = 0, \quad F(1, \dots, 1) = 1.$$

For example when $N=3$ there is a bilinear interpolation:

$$\gamma_1 = \alpha_1, \quad \gamma_2 = \alpha_2, \quad \gamma = \frac{1}{2}(\alpha_1 + \alpha_2) \quad (4)$$

or a bi-quadratic interpolation:

$$\gamma_1 = \alpha_1^2, \quad \gamma_2 = \alpha_2^2, \quad \gamma = \frac{1}{2}(\alpha_1^2 + \alpha_2^2) \quad (5)$$

or a bi-cubic interpolation:

$$\gamma_1 = \alpha_1^3, \quad \gamma_2 = \alpha_2^3, \quad \gamma = \frac{1}{2}(\alpha_1^3 + \alpha_2^3) \quad (6)$$

or others modeling functions γ . Choice of functions γ_i and value s depends on the specifications of feature vectors and individual requirements. What is very important in PFC method: two data sets (for example a handwritten letter or signature) may have the same set of nodes (feature vectors: pixel coordinates, pressure, speed, angles) but different h or γ results in different interpolations (Fig.4-6). Here are three examples of PFC reconstruction (Fig.4-6) for $N=2$ and four nodes: $(-1.5;-1)$, $(1.25;3.15)$, $(4.4;6.8)$ and $(8;7)$. Formula of the curve is not given.

Algorithm of PFC retrieval, interpolation and modeling consists of five steps: first choice of nodes p_i (feature vectors), then choice of nodes combination $h(p_1, p_2, \dots, p_m)$, choice of distribution (modeling function) $\gamma = F(\alpha)$, determining values of $\alpha_i \in [0;1]$ and finally the computations (1).

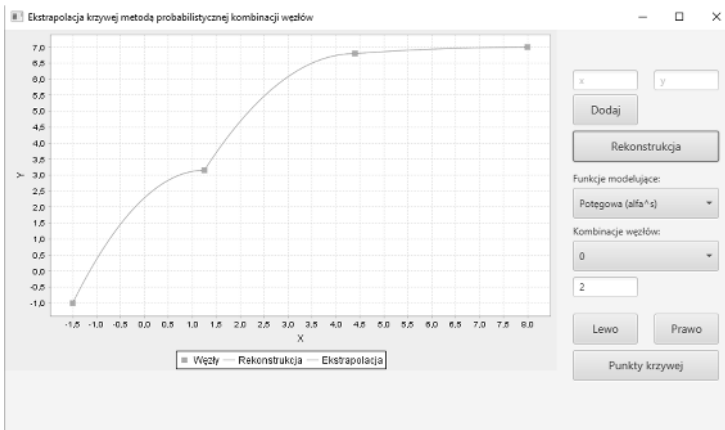


Fig. 4. PFC 2D modeling for $\gamma = \alpha^2$ and $h = 0$.

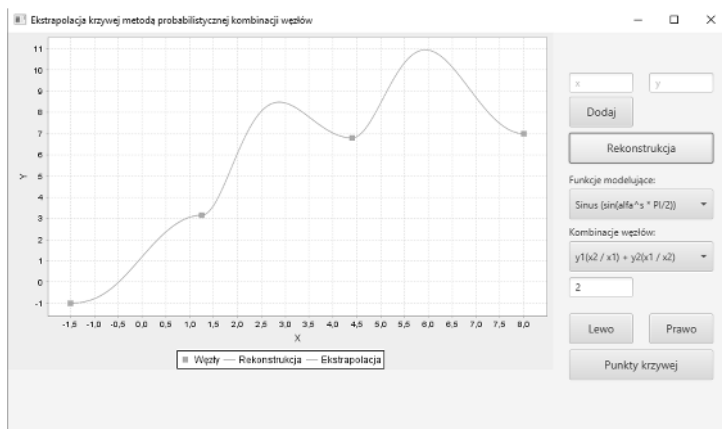


Fig. 5. PFC 2D reconstruction for $\gamma = \sin(\alpha^2 \cdot \pi/2)$ and h in (2).

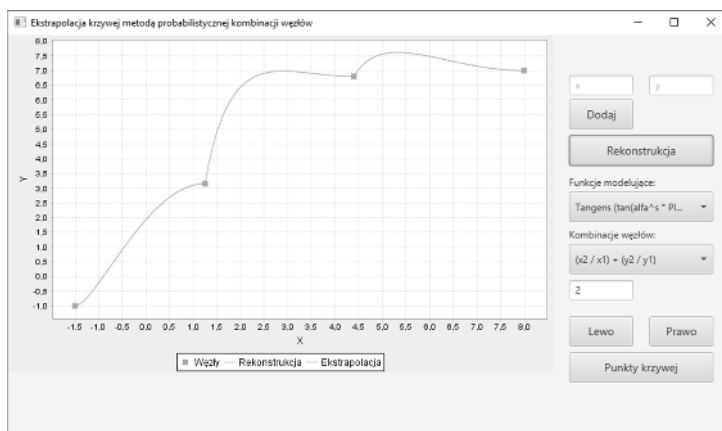


Fig. 6. PFC 2D interpolation for $\gamma = \tan(\alpha^2 \cdot \pi/4)$ and $h = (x_2/x_1) + (y_2/y_1)$.

3. Image Retrieval via PFC Reconstruction

After the process of image segmentation and during the next steps of retrieval, recognition or identification, there is a huge number of features included in N-dimensional feature vector. These vectors can be treated as “points” in N-dimensional feature space. For example in artificial intelligence there is a high-dimensional search space (the set of states that can be reached in a search problem) or hypothesis space (the set of hypothesis that can be generated by a machine learning algorithm). This paper is dealing with multidimensional feature spaces that are used in computer vision, image processing and machine learning.

Having monochromatic (binary) image which consists of some objects, there is only 2-dimensional feature space (x_i, y_i) – coordinates of black pixels or coordinates of white pixels. No other parameters are needed. Thus any object can be described by a contour (closed binary curve). Binary images are attractive in processing (fast and easy) but don't include important information. If the image has grey shades, there is 3-dimensional feature space (x_i, y_i, z_i) with grey shade z_i . For example most of medical images are written in grey shades to get quite fast processing. But when there are color images (three parameters for RGB or other color systems) with textures or medical data or some parameters, then it is N-dimensional feature space. Dealing with the problem of classification learning for high-dimensional feature spaces in artificial intelligence and machine learning (for example text classification and recognition), there are some methods: decision trees, k -nearest neighbors, perceptrons, naïve Bayes or neural networks methods. All of these methods are struggling with the curse of dimensionality: the problem of having too many features. And there are many approaches to get less number of features and to reduce the dimension of feature space for faster and less expensive calculations.

This paper aims at inverse problem to the curse of dimensionality: dimension N of feature space (i.e. number of features) is unchanged, but number of feature vectors (i.e. "points" in N-dimensional feature space) is reduced into the set of nodes. **So the main problem is as follows: how to fix the set of feature vectors for the image and how to retrieve the features between the "nodes"?** This paper aims in giving the answer of this question.

3.1. Grey scale image retrieval using PFC 3D method

Binary images are just the case of 2D points (x, y) : 0 or 1, black or white, so retrieval of monochromatic images is done for the closed curves (first and last node are the same) as the contours of the objects for $N = 2$ and examples as Fig.1-6. The feature vector of dimension $N = 3$ is called a voxel.

Grey scale images are the case of 3D points (x, y, s) with s as the shade of grey. So the grey scale between the nodes $p_1=(x_1, y_1, s_1)$ and $p_2=(x_2, y_2, s_2)$ is computed with $\gamma = F(\alpha) = F(\alpha_1, \alpha_2)$ as (1) and for example (4)-(6) or others modeling functions γ_i . As the simple example two successive nodes of the image are: left upper corner with coordinates $p_1=(x_1, y_1, 2)$ and right down corner $p_2=(x_2, y_2, 10)$. The image retrieval with the grey scale 2-10 between p_1 and p_2 looks as follows for a bilinear interpolation (4):

2	3	4	5	6	7	8	9	10
2	3	4	5	6	7	8	9	10
2	3	4	5	6	7	8	9	10
2	3	4	5	6	7	8	9	10
2	3	4	5	6	7	8	9	10
2	3	4	5	6	7	8	9	10
2	3	4	5	6	7	8	9	10
2	3	4	5	6	7	8	9	10
2	3	4	5	6	7	8	9	10
2	3	4	5	6	7	8	9	10

Fig. 7. Reconstructed grey scale numbered at each pixel.

or for other modeling functions γ_i :

2	2	2	2	2	2	2	2	2
2	3	3	3	3	3	3	3	3
2	3	4	4	4	4	4	4	4
2	3	4	5	5	5	5	5	5
2	3	4	5	6	6	6	6	6
2	3	4	5	6	7	7	7	7
2	3	4	5	6	7	8	8	8
2	3	4	5	6	7	8	9	9
2	3	4	5	6	7	8	9	10

Fig. 8. Grey scale image with shades of grey retrieved at each pixel.

3.2. Color image retrieval via PFC method

Color images in for example RGB color system (r,g,b) are the set of points (x,y,r,g,b) in a feature space of dimension $N = 5$. There can be more features, for example texture t , and then one pixel (x,y,r,g,b,t) exists in a feature space of dimension $N = 6$. But there are the sub-spaces of a feature space of dimension $N_1 < N$, for example (x,y,r) , (x,y,g) , (x,y,b) or (x,y,t) are points in a feature sub-space of dimension $N_1 = 3$. Reconstruction and interpolation of color coordinates or texture parameters is done like in chapter 3.1 for dimension $N = 3$. Appropriate combination of α_1 and α_2 leads to modeling of color r,g,b or texture t or another feature between the nodes. And for example (x,y,r,t) , (x,y,g,t) , (x,y,b,t) are points in a feature sub-space of dimension $N_1=4$ called doxels. Appropriate combination of α_1 , α_2 and α_3 leads to modeling of texture t or another feature between the nodes. For example color image, given as the set of doxels (x,y,r,t) , is described for coordinates (x,y) via pairs (r,t) interpolated between nodes $(x_1,y_1,2,1)$ and $(x_2,y_2,10,9)$ as follows:

2,1	3,1	4,1	5,1	6,1	7,1	8,1	9,1	10,1
2,2	3,2	4,2	5,2	6,2	7,2	8,2	9,2	10,2
2,3	3,3	4,3	5,3	6,3	7,3	8,3	9,3	10,3
2,4	3,4	4,4	5,4	6,4	7,4	8,4	9,4	10,4
2,5	3,5	4,5	5,5	6,5	7,5	8,5	9,5	10,5
2,6	3,6	4,6	5,6	6,6	7,6	8,6	9,6	10,6
2,7	3,7	4,7	5,7	6,7	7,7	8,7	9,7	10,7
2,8	3,8	4,8	5,8	6,8	7,8	8,8	9,8	10,8
2,9	3,9	4,9	5,9	6,9	7,9	8,9	9,9	10,9

Fig. 9. Color image with color and texture parameters (r,t) interpolated at each pixel.

So dealing with feature space of dimension N and using PFC method there is no problem called “the curse of dimensionality” and no problem called “feature selection” because each feature is important. There is no need to reduce the dimension N and no need to establish which feature is “more important” or “less important”. Every feature that depends from N_1-1 other features can be interpolated (reconstructed) in the feature sub-space of dimension $N_1 < N$ via PFC method. But having a feature space of dimension N and using PFC method there is another problem: how to reduce the number of feature vectors and how to interpolate (retrieve) the features between the known vectors (called nodes).

Difference between two given approaches (the curse of dimensionality with feature selection and PFC interpolation) can be illustrated as follows. There is a feature matrix of dimension $N \times M$: N means the number of features (dimension of feature space) and M is the number of feature vectors (interpolation nodes) – columns are feature vectors of dimension N . One approach (Fig.10): the curse of dimensionality with feature selection wants to eliminate some rows from the feature matrix and to reduce dimension N to $N_1 < N$. Second approach (Fig.11) for PFC method wants to eliminate some columns from the feature matrix and to reduce dimension M to $M_1 < M$.

2	2	2	2	2	2	2	2	2	2
2	3	3	3	3	3	3	3	3	3
2	3	4	4	4	4	4	4	4	4
2	3	4	5	5	5	5	5	5	5
2	3	4	5	6	6	6	6	6	6
2	3	4	5	6	7	7	7	7	7
2	3	4	5	6	7	8	8	8	8
2	3	4	5	6	7	8	9	9	9
2	3	4	5	6	7	8	9	10	10

→

2	2	2	2	2	2	2	2	2	2
2	3	3	3	3	3	3	3	3	3
2	3	4	4	4	4	4	4	4	4
2	3	4	5	5	5	5	5	5	5
2	3	4	5	6	6	6	6	6	6
2	3	4	5	6	7	7	7	7	7

Fig. 10. The curse of dimensionality with feature selection wants to eliminate some rows from the feature matrix and to reduce dimension N .

2	2	2	2	2	2	2	2	2	2
2	3	3	3	3	3	3	3	3	3
2	3	4	4	4	4	4	4	4	4
2	3	4	5	5	5	5	5	5	5
2	3	4	5	6	6	6	6	6	6
2	3	4	5	6	7	7	7	7	7
2	3	4	5	6	7	8	8	8	8
2	3	4	5	6	7	8	9	9	9
2	3	4	5	6	7	8	9	10	10

→

2	2	2	2	2	2	2	2	2	2
2	3	3	3	3	3	3	3	3	3
2	3	4	4	4	4	4	4	4	4
2	3	4	5	5	5	5	5	5	5
2	3	4	5	6	6	6	6	6	6
2	3	4	5	6	7	7	7	7	7
2	3	4	5	6	7	8	8	8	8
2	3	4	5	6	7	8	9	9	9
2	3	4	5	6	7	8	9	10	10

Fig. 11. PFC method wants to eliminate some columns from the feature matrix and to reduce dimension M .

So after feature selection (Fig.10) there are nine feature vectors (columns): $M=9$ in a feature sub-space of dimension $N_1 = 6 < N$ (three features are fixed as less important and reduced). But feature elimination is a very unclear matter. And what to do if every feature is denoted as meaningful and then no feature is to be reduced? For PFC method (Fig.11) there are seven feature vectors (columns): $M_1 = 7 < M$ in a feature space of dimension $N = 9$. Then no feature is eliminated and the main problem is dealing with interpolation or extrapolation of feature values, like for example image retrieval (Fig.7-9).

4. Conclusions

The method of Probabilistic Features Combination (PFC) enables interpolation and modeling of high-dimensional N data using features' combinations and different coefficients γ : polynomial, sinusoidal, cosinusoidal, tangent, cotangent, logarithmic,

exponential, arc sin, arc cos, arc tan, arc cot or power function. Functions for γ calculations are chosen individually at each data modeling and it is treated as N -dimensional probability distribution function: γ depends on initial requirements and features' specifications. PFC method leads to data interpolation as handwriting or signature identification and image retrieval via discrete set of feature vectors in N -dimensional feature space. So PFC method makes possible the combination of two important problems: interpolation and modeling in a matter of image retrieval or writer identification. Main features of PFC method are: PFC interpolation develops a linear interpolation in multidimensional feature spaces into other functions as N -dimensional probability distribution functions; PFC is a generalization of MHR method and PNC method via different nodes combinations; interpolation of L points is connected with the computational cost of rank $O(L)$ as in MHR and PNC method; nodes combination and coefficients γ are crucial in the process of data probabilistic parameterization and interpolation: they are computed individually for a single feature. Future works are going to applications of PFC method in signature and handwriting biometric recognition: choice and features of nodes combinations h and coefficients γ .

References

1. Schlapbach, A., Bunke, H.: Off-line writer identification using Gaussian mixture models. In: International Conference on Pattern Recognition, pp. 992–995 (2006)
2. Bulacu, M., Schomaker, L.: Text-independent writer identification and verification using textural and allographic features. *IEEE Trans. Pattern Anal. Mach. Intell.* 29 (4), 701–717 (2007)
3. Djeddi, C., Souici-Meslati, L.: A texture based approach for Arabic writer identification and verification. In: International Conference on Machine and Web Intelligence, pp. 115–120 (2010)
4. Djeddi, C., Souici-Meslati, L.: Artificial immune recognition system for Arabic writer identification. In: International Symposium on Innovation in Information and Communication Technology, pp. 159–165 (2011)
5. Nosary, A., Heutte, L., Paquet, T.: Unsupervised writer adaption applied to handwritten text recognition. *Pattern Recogn. Lett.* 37 (2), 385–388 (2004)
6. Van, E.M., Vuurpijl, L., Franke, K., Schomaker, L.: The WANDA measurement tool for forensic document examination. *J. Forensic Doc. Exam.* 16, 103–118 (2005)
7. Schomaker, L., Franke, K., Bulacu, M.: Using codebooks of fragmented connected-component contours in forensic and historic writer identification. *Pattern Recogn. Lett.* 28 (6), 719–727 (2007)

8. Siddiqi, I., Cloppet, F., Vincent, N.: Contour based features for the classification of ancient manuscripts. In: Conference of the International Graphonomics Society, pp. 226–229 (2009)
9. Garain, U., Paquet, T.: Off-line multi-script writer identification using AR coefficients. In: International Conference on Document Analysis and Recognition, pp. 991–995 (2009)
10. Bulacu, M., Schomaker, L., Brink, A.: Text-independent writer identification and verification on off-line Arabic handwriting. In: International Conference on Document Analysis and Recognition, pp. 769–773 (2007)
11. Ozaki, M., Adachi, Y., Ishii, N.: Examination of effects of character size on accuracy of writer recognition by new local arc method. In: International Conference on Knowledge-Based Intelligent Information and Engineering Systems, pp. 1170–1175 (2006)
12. Chen, J., Lopresti, D., Kavallieratou, E.: The impact of ruling lines on writer identification. In: International Conference on Frontiers in Handwriting Recognition, pp. 439–444 (2010)
13. Chen, J., Cheng, W., Lopresti, D.: Using perturbed handwriting to support writer identification in the presence of severe data constraints. In: Document Recognition and Retrieval, pp. 1–10 (2011)
14. Galloway, M.M.: Texture analysis using gray level run lengths. *Comput. Graphics Image Process.* 4 (2), 172–179 (1975)
15. Siddiqi, I., Vincent, N.: Text independent writer recognition using redundant writing patterns with contour-based orientation and curvature features. *Pattern Recogn. Lett.* 43 (11), 3853–3865 (2010)
16. Ghiasi, G., Safabakhsh, R.: Offline text-independent writer identification using codebook and efficient code extraction methods. *Image and Vision Computing* 31, 379–391 (2013)
17. Shahabinejad, F., Rahmati, M.: A new method for writer identification and verification based on Farsi/Arabic handwritten texts, Ninth International Conference on Document Analysis and Recognition (ICDAR 2007), pp. 829–833 (2007)
18. Schlappbach, A., Bunke, H.: A writer identification and verification system using HMM based recognizers, *Pattern Anal. Appl.* 10, 33–43 (2007)
19. Schlappbach, A., Bunke, H.: Using HMM based recognizers for writer identification and verification, 9th Int. Workshop on Frontiers in Handwriting Recognition, pp. 167–172 (2004)
20. Marti, U.-V., Bunke, H.: The IAM-database: an English sentence database for offline handwriting recognition, *Int. J. Doc. Anal. Recognit.* 5, 39–46 (2002)

21. Collins II, G.W.: Fundamental Numerical Methods and Data Analysis. Case Western Reserve University (2003)
22. Chapra, S.C.: Applied Numerical Methods. McGraw-Hill (2012)
23. Ralston, A., Rabinowitz, P.: A First Course in Numerical Analysis – Second Edition. Dover Publications, New York (2001)
24. Zhang, D., Lu, G.: Review of Shape Representation and Description Techniques. Pattern Recognition 1(37), 1-19 (2004)
25. Schumaker, L.L.: Spline Functions: Basic Theory. Cambridge Mathematical Library (2007)
26. Jakóbczak, D.J.: 2D Curve Modeling via the Method of Probabilistic Nodes Combination - Shape Representation, Object Modeling and Curve Interpolation-Extrapolation with the Applications. LAP Lambert Academic Publishing, Saarbrücken (2014)

Abstract

Proposed method, called Probabilistic Features Combination (PFC), is the method of multi-dimensional data modeling, extrapolation and interpolation using the set of high-dimensional feature vectors. This method is a hybridization of numerical methods and probabilistic methods. Identification of faces or fingerprints need modeling and each model of the pattern is built by a choice of multi-dimensional probability distribution function and feature combination. PFC modeling via nodes combination and parameter γ as N -dimensional probability distribution function enables data parameterization and interpolation for feature vectors. Multi-dimensional data is modeled and interpolated via nodes combination and different functions as probability distribution functions for each feature treated as random variable: polynomial, sine, cosine, tangent, cotangent, logarithm, exponent, arc sin, arc cos, arc tan, arc cot or power function.

Streszczenie

Autorska metoda Probabilistycznej Kombinacji Cech - Probabilistic Features Combination (PFC) jest wykorzystywana do interpolacji i modelowania wielowymiarowych danych. Węzły traktowane są jako punkty charakterystyczne N -wymiarowej informacji, która ma być odtwarzana (np. obraz). Wielowymiarowe dane są interpolowane lub rekonstruowane z wykorzystaniem funkcji rozkładu prawdopodobieństwa: potęgowych, wielomianowych, wykładniczych, logarytmicznych, trygonometrycznych, cyklometrycznych.

Jarosław Kraśniewski

Włodzimierz Janke

Faculty of Electronics and Computer Sciences,
Koszalin University of Technology, Poland

The temperature dependence of subthreshold characteristics of Si and SiC power MOSFETs

Keywords: MOSFET, power transistor, subthreshold, temperature dependence

1. Introduction

Influence of the temperature on subthreshold characteristics of low-power MOSFETs (especially in integrated circuits) is an important factor in many applications. The design of extremely low power CMOS logic circuits, temperature sensors and subthreshold voltage reference subcircuits may serve as examples [1] – [5].

Relatively little attention is paid to the influence of the temperature on the subthreshold operation of power MOSFETs. Such devices find many important applications in modern power converters. Apart from conventional Si power MOSFETs, several types of SiC MOSFETs are commercially available at present, and their parameters are promising, although there exist some limitations connected with a relatively high density of dislocations and traps in SiO₂-SiC interface. MOS power transistors, in some specific conditions may operate in the subthreshold region with the gate to source voltage v_{GS} below and near the threshold voltage ($v_{GS} < V_{th}$ and $|v_{GS} - V_{th}|$ relatively low). The example of a such operation is switching the transistor between ON and OFF states with the need to minimize the swing of gate voltage. In such a case, the OFF state of a transistor may correspond to the subthreshold operation. Another example is the use of v_{GS} voltage corresponding to the sufficiently low drain current i_D , as a temperature-sensitive parameter in measurements of a device thermal resistance or an impedance. In such applications, the effect of the temperature on the subthreshold current-voltage characteristics may be essential.

The main purpose of this paper is to investigate experimentally the current-voltage characteristics of Si and SiC power transistors in the vicinity of the threshold for a wide temperature range, in particular the influence of the temperature on parameters responsible for the shape of these characteristics. Several types of Si

or SiC power MOSFETs with a current rating from 4A to over 300 A have been selected and their current-voltage characteristics for the low current range at ambient temperature values from 20°C up to over 140°C have been measured. Values of the subthreshold swing coefficient (“nonideality factor”) have been extracted from measurements.

In Sec. 2 some general remarks concerning subthreshold operation and interpretation of subthreshold swing coefficient of current-voltage characteristics in this region are presented. The exemplary results of current-voltage characteristics in subthreshold region for various temperatures and calculations of related parameters are shown in Sec. 3. The discussion of obtained results and some conclusions are given in Sec. 4.

2. Subthreshold operation of MOSFETs

It is usually assumed, that for values of the gate-to-source voltage near to the threshold, the drain current i_D consists of two terms: the main drift term, described usually by the quadratic current-voltage dependence, and the diffusion term observed mainly below the threshold.

$$i_D = i_{drift} + i_{diff} \quad (1)$$

The diffusion current is usually described by the formula [1] – [7]:

$$i_{diff} = I_s \cdot \exp \frac{v_{GS} - V_{th}}{n \cdot V_T} \left[1 - \exp \left(- \frac{v_{DS}}{m \cdot V_T} \right) \right] \quad (2)$$

where: V_{th} is the threshold voltage, v_{GS} , v_{DS} – gate-to-source and drain-to-source voltages, I_s and V_T are temperature-dependent coefficients ($V_T = kT/q$, T - absolute temperature, k – Boltzmann constant, q – elementary electric charge).

The second term in square brackets may be neglected for $v_{DS} > 4V_T$. The diffusion current i_{diff} described by the above equation is a dominant term of the drain current for voltages equal approximately or lower than the threshold voltage [5] – [7]. The Eqn. (2) with the second form in bracket neglected is similar to the current-voltage dependence of a p-n junction, where a diffusion current is a dominant term. The nonideality factor value $n > 1$ in p-n junction characteristics in a low current range is attributed to generation-recombination processes in a junction depletion layer.

The interpretation of n coefficient in the first exponent of subthreshold characteristics of MOS transistor is not uniform. According to References [1], [2], [5], [7], [8], this quantity (named a subthreshold swing coefficient or a body effect coefficient) is connected to the influence of the substrate polarization on i_D - v_{GS} characteristics and is indirectly determined by the device geometry:

$$n = 1 + \frac{C_{dm}}{C_{ox}} = 1 + 3 \cdot \frac{t_{ox}}{W_{dm}} \quad (3)$$

where: C_{dm} and C_{ox} are capacitances of a depletion layer and an oxide respectively; W_{dm} and t_{ox} – depletion layer and oxide thickness.

According to many sources, for example [9] – [12] the shape of i_D - v_{GS} characteristics in the subthreshold region is strongly influenced by phenomena of trapping and detrapping of electrons, due to interface states in a semiconductor-dielectric structure such as Si-SiO₂ or SiC-SiO₂.

In particular, in [9] the formula for the subthreshold swing coefficient is presented in the form:

$$n = 1 + \frac{C_{dm} + C_{it}}{C_{ox}} \quad (4)$$

This formula is similar to (3), but the presence of the interface trap capacitance C_{it} in the numerator shows the strong influence of the trap density on the shape of i_D - v_{GS} characteristics in the subthreshold region, not predicted by Eqn. (3). According to references [9] – [12], by extraction of the coefficient n from measured device characteristics in the subthreshold, one is able to evaluate the interface trap density.

It is generally recognized, that SiC MOSFETs have very large interface trap densities which degrade a device performance, especially the carrier mobility in normal operation regions. According to formula (4), one may expect greater values of the subthreshold swing for SiC MOSFETs than for Si devices.

In some papers, for example [7], [8], the subthreshold slope S_t is used to describe the i_D - v_{GS} dependence, where i_D is a drain current in this region of operation:

$$S_t = \left(\frac{d(\log i_D)}{dv_{GS}} \right)^{-1} \quad (5)$$

Assuming description (2) for a drain current in the subthreshold, one obtains:

$$S_t = 2.3 \cdot \frac{n \cdot kT}{q} \quad (6)$$

therefore a coefficient n may be calculated from the slope of i_{diff} - v_{GS} dependence.

3. Measurement and calculation results

Several types of commercially available power MOSFET transistors made of Si or SiC have been selected and their DC characteristics measured in a wide temperature range (from the room temperature to over 140°C) and a wide current

range including a subthreshold region. Drain-to source voltage is constant, $V_{DS} = 5V$. For such a value, the influence of a drain voltage on the diffusion term of a drain current is negligible. For the extraction of a diffusion current (expected to be the main term of a drain current in the subthreshold region) the difference current i_{EX} is calculated:

$$i_{EX} = i_D - A \cdot (v_{GS} - V_{th})^2 \quad (7)$$

where the second term, being the ideal description of a drift current is easily identified from the graph of $i_D^{1/2}$ vs a gate voltage for medium currents. According to Eqn. (1), current i_{EX} should be equal to the diffusion current i_{diff} .

Dependencies of a current i_{EX} on a gate-to-source voltage presented in Figs. 1 and 2 are selected as typical for Si and SiC devices respectively. In the exemplary (but typical) characteristics of silicon MOSFETs (with a maximum permissible drain current 21 A), three regions may be observed. In the region of very low currents (visible only for the temperature 144°C, below 0.1 mA in Fig. 1), a current of a reverse biased p-n junction between the drain and substrate layers is a dominant term of i_{EX} . In the region of relatively high currents (above 20 mA in the exemplary plot in Fig. 1) the involved combination of drift and diffusion conduction results in changing the slope of $\log(i_{EX})$ versus v_{GS} dependence. In the central part of plots in Fig. 1 (for currents below 20 mA), the shape of presented curves corresponds to the dependence predicted by Eqn. (2) and the dependence of $\log(i_{EX})$ on a gate voltage is a straight line.

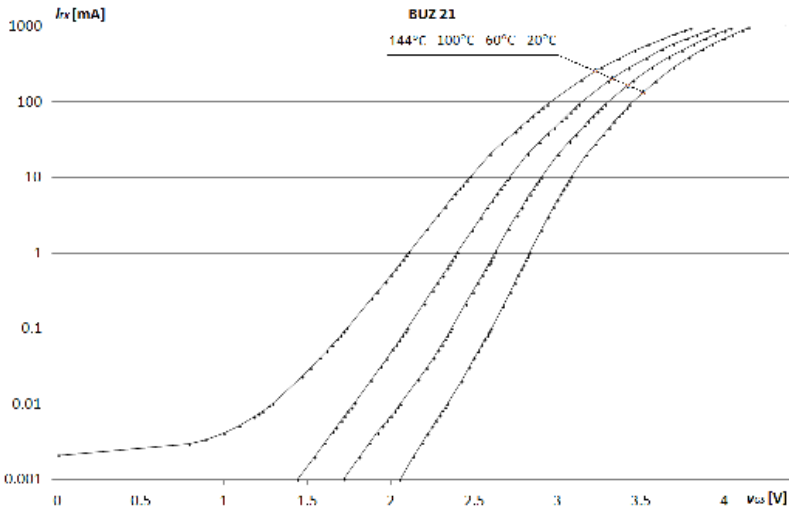


Fig. 1. The exemplary dependencies of a current i_{EX} on a gate-to-source voltage for a silicon MOSFET in the subthreshold region.

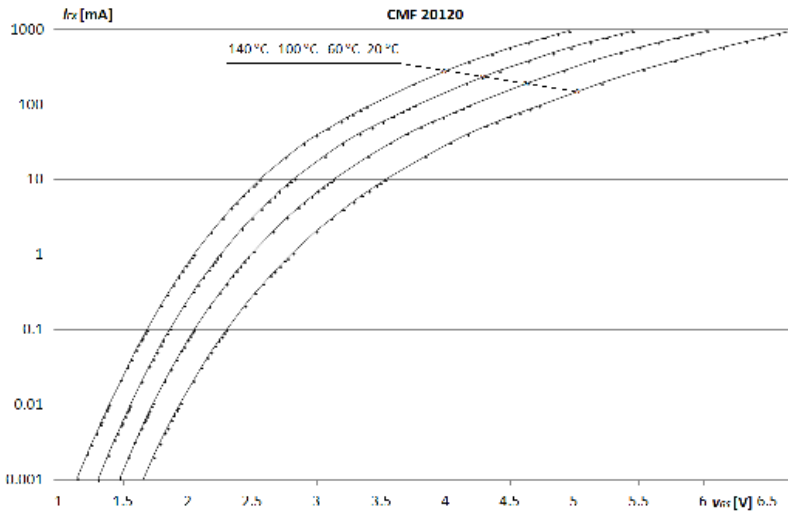


Fig. 2. The exemplary dependencies of a current i_{EX} on a gate-to-source voltage for a silicon carbide MOSFET in the subthreshold region.

Characteristics of SiC devices under investigations (see representative example in Fig. 2 for a device with a maximum drain current 33 A) are a little different. In the observed range of currents and temperatures, the term corresponding to the reverse conduction of a p-n drain-to-substrate junction is not visible. It is obviously a result of a high value of the bandgap of SiC. The region of characteristics corresponding to the description given by Eqn. (2) is relatively narrow, below $10 \mu\text{A}$ in the presented example. For a very wide range of a currents ($10 \mu\text{A}$ to 1A) the shape of current-voltage dependence differs from the prediction of Eqn. (2), therefore the conduction mechanism cannot be explained as a pure diffusion nor pure drift with a constant mobility.

Values of the subthreshold slope S_f calculated according to Eqns. (2) and (5) and the subthreshold swing coefficient n obtained from equation (6), corresponding to temperature values used in measurements are given in Tables I and II.

Table I. Subthreshold slope and subthreshold swing coefficient extracted from measurements of the exemplary Si power transistor.

T [K]	293	333	373	417
S_t [mV]	223	252	300	350
n	3.81	3.82	4.06	4.24

Table II. Subthreshold slope and subthreshold swing coefficient extracted from measurements of the exemplary SiC power transistor.

T [K]	293	333	373	413
S_t [mV]	260	235	262	250
n	4.48	3.56	3.55	3.06

For silicon MOSFETs under investigations, the dependence of the subthreshold slope S_t on the absolute temperature is nearly linear in accordance with Eqn. (6), therefore values of the subthreshold swing n for various temperature values are similar. For SiC devices the values of the subthreshold slope S_t seem to be independent of the temperature and consequently, subthreshold swing values calculated for various temperatures are different. As a consequence, Eqn. (6) is probably not a proper description of S_t for SiC devices.

4. Summary and conclusions

Dependencies of a drain current on a gate-to-source voltage in the a low current region for commercially available Si and SiC MOSFETs have been measured in temperature range from 20°C to nearly 150°C. Over 20 devices of several types, with maximum current ratings from 4A to over 300A have been investigated. The range of measured drain currents included very small values, down to 1μA. In this region the subthreshold operation takes place and a carrier diffusion is believed to be the dominant mechanism of conduction.

Typical results of measurements are presented in Figs. 1 and 2 for Si and SiC respectively. Substantial differences in the shape of measured i_D - v_{GS} characteristics

between Si and SiC transistors are observed. Values of the subthreshold slope S , obtained from measurements for Si devices are nearly proportional to absolute temperature, in accordance with Eqn.(6). For SiC devices, values of S , obtained for various temperatures are nearly the same. Values of the subthreshold swing coefficient n extracted from the measured characteristics are surprisingly high – between 3.0 and 4.5 for Si and SiC devices.

5. References

1. E. Boufouss, L.A. Francis, P. Gerard, M. Assaad and D. Flandre, Ultra low power CMOS circuits working in subthreshold regime for high temperature and radiation environments, IMAPS, July 18-20, 2011, pp. 243-250.
2. R. H. Iacob, A. Manolescu, Current-Mode References Based on MOS Subthreshold operation, U.P.B. Sci. Bull., Series C, Vol. 71, Iss.3, 2009, pp. 243-250.
3. Y. Liu, R.P. Dick, Li Shang, H. Yang, Accurate Temperature-Dependent Integrated Circuit Leakage Power Estimation Is Easy, EDAA, 2007.
4. L. Magnelli, F. Crupi, P. Corsonello, A 2.6nW, 0.45V Temperature-Compensated Subthreshold CMOS Voltage Reference, IEEE Journal of Solid-State Circuits, Vol. 46, No.2, February 2011, pp. 465-474.
5. V. Sharma, S. Kumar, Design of Low-Power CMOS Cell Structures Using Subthreshold Conduction Region, Int. Journal of Scientific & Engineering Research, Vol. 2, Issue 2, Feb. 2011.
6. Y. Taur, T.H. Ning, Fundamentals of Modern VLSI Devices, Cambridge University Press, 1998, Ch. 3.1.3.
7. K. Roy, S. Mukhopadhyay and H. Mahmoodi-Meimand, Leakage Current Mechanisms and Leakage Reduction Techniques in Deep-Submicrometer CMOS Circuits, Proc. IEEE, Vol. 91, No. 2, Feb. 2003, pp. 305-327.
8. R. Singh et al., Analysis of the Effect of Temperature Variations on Subthreshold Leakage Current in P3 and P4 SRAM Cells at Deep Sub-micron CMOS Technology, Int. Journal of Computer Applications, Vol. 35, No. 5, Dec. 2011, pp. 8-12.
9. Y. Zeng, A. Softic and M.H. White, Characterization of Interface Traps in the Subthreshold Region of Implanted 4H and 6H-SiC MOSFET's, Solid State Electronics, Vol. 46 (2002), pp. 1579-1582.
10. A. Appaswamy, P. Chakraborty and J.D. Cressler, Influence of Interface Traps on the Temperature Sensitivity of MOSFET Drain Current Variations, IEEE Electron Device Letters, vol. 31, No. 5, (2010), pp. 387-369.

11. S. Potbhare et al., Time Dependent Trapping and Generation-Recombination of Interface Charges: Modeling and Characterization for SiC MOSFET's, Materials Science Forum, vol. 556-557, Sept. 2007, pp. 847-850.
12. S. DasGupta et al., Extraction of Trapped Charge in 4H-SiC Metal Oxide Semiconductor Field Effect Transistors from Subthreshold Characteristics, Applied Physics Letters, vol. 99, No. 2, (2011), p. 23503.

Abstract

In the paper, subthreshold characteristics of Si and SiC MOSFET power transistors in a wide range of current and temperature are considered. Representative examples of measured i_D - v_{GS} dependencies for temperatures from 20°C up to over 140°C are presented and discussed. Substantial differences of the shapes obtained for Si and SiC devices are observed. The subthreshold slope and subthreshold swing coefficient are extracted from measured curves for two types of devices and compared.

Streszczenie

W niniejszym artykule porównano charakterystyki w obszarze podprogowym tranzystorów mocy MOSFET z krzemu i węgla krzemu w szerokim zakresie prądu i temperatury. Dla reprezentatywnej partii tranzystorów przedstawiono i omówiono pomiary zależności i_D - v_{GS} w szerokim zakresie temperatur od 20°C do ponad 140°C. Dodatkowo zaprezentowano różnice w wartości nachylenia oraz wahania współczynnika w obszarze podprogowym od temperatury otoczenia dla badanych tranzystorów z Si i SiC.

Słowa kluczowe: MOSFET, tranzystor mocy, obszar podprogowy, zależność od temperatury

Paweł Poczekajło

Wydział Elektroniki i Informatyki

Politechnika Koszalińska

ul. JJ Śniadeckich 2, 75-453 Koszalin

Platforma testowa dla prototypowych systemów CPS na bazie wybranego zestawu rozwojowego

Słowa kluczowe: CPS, platforma testowa, FPGA, płytki rozwojowa

1. Wstęp

Ogólna cyfryzacja sprawiła, że obecnie spotyka się niemal wyłącznie sygnały i dane cyfrowe, dlatego systemy CPS, są jedną z najbardziej rozwijanych gałęzi elektroniki i informatyki [1]. Rozwój techniki wymusił również odpowiedni rozwój metod CPS, które powinny być nie tylko coraz dokładniejsze, ale również obciążone coraz mniejszą złożonością obliczeniową. Jednocześnie, systemy takie przetwarzają coraz więcej danych. Powszechnie spotyka się już nie tylko sygnały 1D (np. dźwięk) czy 2D (np. obraz statyczny), ale również 3D (np. ultrasonografia) i 4D (np. USG medyczne i tomografia komputerowa w czasie) [2-4]. Prowadzone dotychczas prace naukowe, dotyczą specyficznej grupy systemów, dlatego też nie ma gotowych układów (platform) testowych do takich zastosowań. Początkowe badania projektowe oraz synteza przy wykorzystaniu oryginalnych metod, pozwalają otrzymać system CPS, o ściśle określonych parametrach działania [5]. Kolejnym etapem jest przeprowadzenie prac i analiz implementacyjnych przy wykorzystaniu określonej platformy sprzętowej. Prezentowany artykuł dotyczy opracowania dedykowanej platformy testowej dla prototypowych systemów CPS przetwarzających dane w sposób potokowy [6].

2. Główne założenia i zastosowanie

Większość literatury naukowej dotyczącej implementacji i testowania systemów CPS, opiera się na wykorzystaniu układów FPGA [7, 8], które mogą wykonywać równolegle wiele niezależnych procesów, co pozwala na znacznie szybsze przeprowadzanie niezbędnych obliczeń. Jedynym warunkiem jest ich odpowiednia organizacja. Również przy przetwarzaniu potokowym, procesory FPGA, ze względu na sposób działania, są najlepszym układem bazowym do przeprowadzania testów

implementacyjnych oraz jako docelowy układ uruchomieniowy dla danego systemu CPS. Ponieważ wymagana była pewna uniwersalność platformy testowej, zdecydowano się na wykorzystanie gotowej płytki rozwojowej, która poza procesorem najczęściej posiada wiele peryferii ułatwiających uruchomienie różnych projektów. Ponadto, gotowa płytkę pozwala na znaczną oszczędność czasu, możemy pominąć etapy projektowania schematu i płytki PCB oraz montażu całego zestawu. Warto zaznaczyć, że w przypadku procesorów FPGA, montaż (lutowanie) może być dość uciążliwy, ze względu na obudowy jakie stosuje się przy tego typu układach. Najczęściej jest to BGA (np. Stratix V, Cyclone V), czasem stosuje się również obudowy typu QFP dla mniejszych i słabszych układów (np. niektóre Max V).

2.1. Wymagane parametry procesora FPGA

Ponieważ wybrana płytkę prototypowa będzie stosowana jako platforma testowa dla systemów CPS, wymagane jest spełnienie poniższych wymogów technicznych procesora:

- procesor typu FPGA (lub ewentualnie CPLD),
- częstotliwość taktowania procesora 50 MHz lub więcej,
- wbudowane elementy dedykowane dla systemów CPS (np. sprzętowe bloki DSP i mnożniki),
- możliwość implementacji, co najmniej 80 tys. elementów (bramek) logicznych,
- wbudowana obsługa PLL.

2.2. Wymagane peryferia płytki uruchomieniowej

Ze względów użytkowych konieczne jest również, aby płytkę zawierała wbudowane peryferia ułatwiające użytkowanie jako platforma testowa:

- zewnętrzna pamięć typu DDR RAM o pojemności min. 512 MB,
- wbudowany programator lub Bootloader,
- komunikacja z komputerem (np. przez USB lub Ethernet),
- dowolnie programowalne przyciski - min. 4 szt,
- dowolnie programowalny wyświetlacz lub diody sygnalizacyjne,
- w razie potrzeby możliwość rozbudowy układu.

3. Wybrany układ bazowy

Jako podstawa całego układu, wybrana została płytkę rozwojowa firmy TerasIC [9], która jest jednym z liderów na rynku układów prototypowych dla procesorów FPGA. Zastosowano platformę TerasIC SoCKit (rys. 1) z procesorem Cyclone V SX SoC firmy Altera [10] o oznaczeniu 5CSXFC6D6F31C8NES.

Główne parametry procesora przedstawiono w tabeli 1, natomiast specyfikacja płytki rozwojowej zaprezentowana jest w tabeli 2. Atutem wybranego procesora, jest również to, że ma on w rzeczywistości wbudowane dwa układy scalone, pierwszy to procesor FPGA, natomiast drugi to dwurdzeniowy ARM Cortex-A9 (oznaczony w dokumentacji jako HPS). Układ umożliwia niemal dowolną współpracę między procesorami przy wykorzystaniu narzędzi programowych dostarczonych przez producenta.

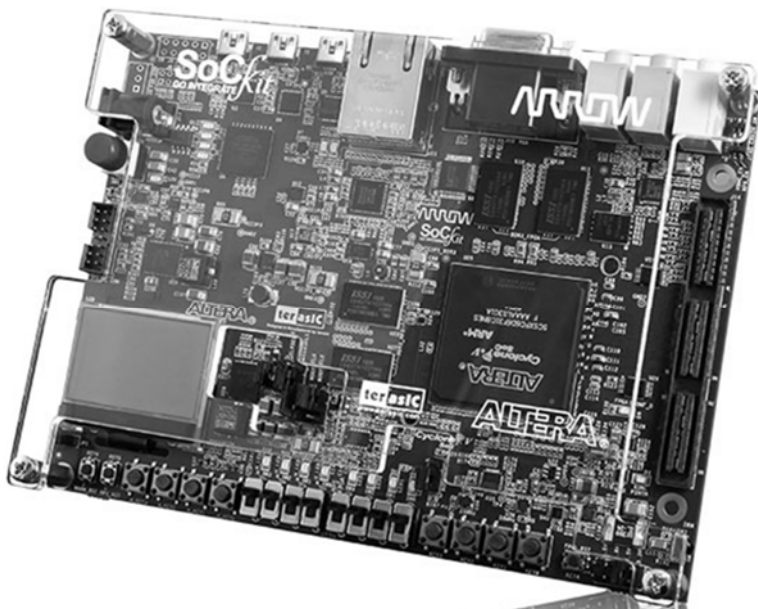
Dodatkową zaletą jest darmowe oprogramowanie Quartus II Web Edition dostarczone przez firmę Altera. Wraz ze środowiskiem programistycznym, producent udostępnia podstawowy zestaw bibliotek, które umożliwiają w łatwy i prosty sposób wykorzystywać peryferia zestawu (np. pamięć SDRAM, komunikacja USB z PC). Dużym atutem jest również wsparcie techniczne (zarówno ze strony producenta płytki jak i procesora), które zapewnia dużą ilość przykładów i dodatkowych instrukcji oraz dobrze opracowane noty katalogowe i techniczne wszystkich elementów.

Tabela 1. Parametry procesora FPGA w układzie 5CSXFC6D6F31C8NES

<i>Lp.</i>	<i>Parametr</i>	<i>Wartość</i>
1	Maksymalna częstotliwość pracy	800 MHz
2	Ilość bramek logicznych (LEs)	110 000
3	Ilość bloków pamięci M10K	5 140
4	Ilość zmiennoprzecinkowych bloków DSP	112
5	Ilość mnożników 18bit × 19bit	224
6	Ilość wbudowanych pętli PLL	6
7	Ilość ALMs (Adaptive Logic Modules)	41 509
8	Ilość wejść/wyjść	288
9	Napięcie pracy	1,1 V
10	Temperatura pracy	0 – 85°C
11	Typ obudowy	FBGA-896

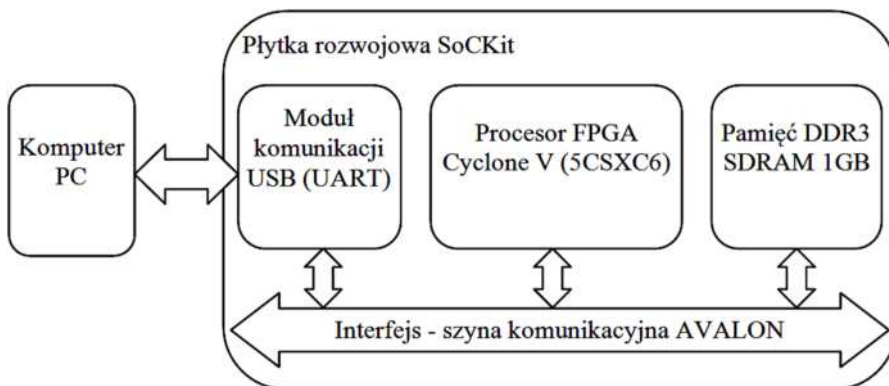
Tabela 2. Specyfikacja płytki rozwojowej SoCKit

<i>Lp.</i>	<i>Parametr</i>	<i>Wartość</i>
1	Pamięć dostępna dla FPGA	1GB (2x256MBx16) DDR3 SDRAM, EPCQ256 Flash
2	Pamięć dostępna dla HPS	1GB (2x256MBx16) DDR3 SDRAM, 128MB QSPI Flash, Micro SD Card Socket
3	Przyciski i diody dla FPGA	przyciski monostabilne x4, przyciski bistabilne x4, diody LED x4
4	Przyciski i diody dla HPS	przyciski monostabilne x4, przyciski bistabilne x4, diody LED x4
5	Programowanie	wbudowany programator USB Blaster II
6	Komunikacja	USB 2.0 OTG, USB (UART), 10/100/1000 Ethernet
7	Zasilanie	12VDC
8	Pozostałe	złącze VGA, LCD 128x64 pikseli, złącze HSMC umożliwiające podłączenie dodatkowych modułów, czujnik przyśpieszenia (akcelerometr) - tylko HPS, czujnik temperatury - FPGA, wbudowany 24-bitowy przetwornik audio

**Rys. 1.** Płytki rozwojowa SoCKit firmy TerasIC

4. Projekt platformy testowej

Wykonanie w pełni funkcjonalnej platformy testowej dla systemu CPS, wymaga zastosowania, co najmniej kilku elementów (m.in. procesor przetwarzający dane, pamięć magazynująca dane, magistrala komunikacyjna) oraz odpowiedniego oprogramowania tych elementów. Na rysunku 2 przedstawiony został schemat na którym zaznaczono poszczególne komponenty platformy testowej.



Rys. 2. Schemat blokowy platformy testowej dla systemów CPS

Najważniejszym elementem, jest oczywiście procesor, w którym zaimplementowano określony system CPS. Pamięć SDRAM odpowiada za podawanie próbek wejściowych oraz gromadzenie próbek wyjściowych z procesora (po przetworzeniu). Natomiast moduł komunikacji USB umożliwia zapisywanie danych wejściowych i odczyt danych wyjściowych (dostępnych w pamięci). Całość jest spięta przez szynę komunikacyjną Avalon [11], która zapewnia niemal dowolną komunikację pomiędzy poszczególnymi modułami platformy (w tym również komunikacją z poziomym komputera PC).

Przy oprogramowaniu płytki rozwojowej i obsłudze magistrali Avalon zastosowano „podprogram” Qsys, który jest elementem środowiska Quartus. Qsys umożliwia zintegrowanie w FPGA kompletnego systemu składającego się z wielu różnych elementów (sprzętowych i programowych). Przesyłanie danych do pamięci oraz ich odczyt z poziomu komputera odbywa się przy pomocy konsoli systemu Qsys (ang. „System console”), która obsługuje komendy oraz większość procedur języka skryptowego TCL. Jest to bardzo duże ułatwienie, ponieważ umożliwiło przygotowanie i napisanie kompletnych funkcji do pełnej obsługi danych (włącznie z obsługą plików na komputerze). Dalsze prace z przetworzonym sygnałem (m.in. analiza matematyczna, obliczanie dokładności i błędów) mogą odbywać się już na komputerze PC z wykorzystaniem dedykowanych środowisk obliczeniowych (np. Scilab [12]).

5. Podsumowanie i możliwości rozwoju

Przedstawiony projekt dedykowanej platformy testowej dla wybranych systemów CPS został wykonany, zweryfikowany i przetestowany z zaimplementowanym układem potokowej realizacji filtru Gaussa w oparciu o struktury rotatorowe [6], planowane są dalsze publikacje naukowe z dokładnymi wynikami wdrażania kolejnych systemów CPS. Platforma w pełni realizuje założenia projektu, a największym atutem jest możliwość zdalnej (z poziomu komputera) obsługi pamięci, co znacznie przyspiesza cały proces i pozwala w krótkim czasie przetworzyć duże ilości danych (sygnałów).

Dodatkowe peryferia płytki rozwojowej, dają możliwość dalszej rozbudowy całego systemu. Uniwersalność zestawu SoCKit, pozwala na łatwe implementowanie nie tylko platform testowych CPS, ale również ewentualne uruchomienie systemów wizualizacji oraz kontroli przetwarzanych sygnałów. W przyszłości planowana jest implementacja kolejnych systemów CPS, oraz rozbudowa platformy pozwalająca na uruchomienie bardziej złożonych układów (w tym wykorzystanie procesora ARM Cortex-A9).

Bibliografia

1. T. P. Zieliński.: *Cyfrowe przetwarzanie sygnałów: od teorii do zastosowań*, ISBN 978-83-206-1640-8, Wydawnictwa Komunikacji i Łączności, Wyd. 2 popr, Warszawa 2007.
2. G. I. Raho, A. J. Dawood, M. S. Al-Ani: *Real Time Fast Algorithm of 2D DWT Based DSP Technology*, IJAIEM, Vol. 2, Issue 10, October 2013.
3. J. Kim, S. Lee, H.-Y. Sohn: *A Multi-DSP Approach for Ultrasound Echo Processing*, IFMBE Proceedings, Vol 14 (2006), 1551-1553.
4. C. Thomas, P. DeVries, J. Hardin, J. White, „*Four-Dimensional Imaging: Computer Visualization of 3D Movements in Living Specimens*”, Science, Vol. 273, No. 5275 (1996), str. 603-607.
5. P. Poczekajło, R. T. Wirski: *Synteza separowalnych trójwymiarowych filtrów ortogonalnych o strukturze potokowej*, Przegląd Elektrotechniczny, 89 (2013), nr.10, str. 150-152.
6. K. Wawryn, P. Poczekajło, R. Wirski: *FPGA implementation of 3-D separable Gauss filter using pipeline rotation structures*, Mixed Design of Integrated Circuits & Systems (MIXDES) 2015, 22nd International Conference, Toruń 2015, str. 589-594.

7. B. Zamanlooy, V. H. Vaghef, S. Mirzakuchaki, A. S. Bakhtiari, R. E. Atani: *A Real Time Infrared Imaging System Based on DSP & FPGA*, Advances in Image and Video Technology, Vol. 4872 (2007), str. 16-23.
8. J. McAllister: *FPGA-based DSP*, Handbook of Signal Processing Systems (2010), str. 363-392.
9. Terasic [online], <http://www.terasic.com.tw/en/>, data dostępu: 18.04.2016r.
10. Altera [online], <https://www.altera.com/>, data dostępu: 18.04.2016r.
11. Avalon Interface Specifications [online], https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/manual/mnl_avalon_spec.pdf, data dostępu: 18.04.2016r.
12. Scilab [online], <http://www.scilab.org/>, data dostępu: 18.04.2016r.

Streszczenie

Artykuł przedstawia projekt platformy testowej dla wybranych systemów cyfrowego przetwarzania sygnałów (CPS). Układ jest podstawą do realizacji dalszych prac naukowych nad implementacją i badaniem dedykowanych metod i systemów CPS. Opisane zostały minimalne wymagania sprzętowe i peryferia niezbędne do realizacji zadania oraz zaproponowano gotowy zestaw uruchomieniowy (rozwojowy) firmy TerasIC jako podstawę platformy. Zaprezentowany został również schemat blokowy układu testowego z pełnym dostępem do danych wejściowych i wyjściowych z poziomu komputera. Ostatecznie działanie platformy zostało zweryfikowane przy implementacji potokowego systemu CPS.

Abstract

In this paper presents design of the test platform for selected digital signal processing systems (DSP). The system is basis to realization of further scientific work on implementation and testing of dedicated DSP methods and systems. Describes the minimum of hardware and peripherals, necessary to realization of the task and is proposed development board (kit) by TerasIC as a base platform. It is also presented schema of software solutions of test system with full access to input and output data (signal) from the computer. Finally, work of the platform has been verified with implementation original methods of pipeline DSP system.

Keywords: DSP, test platform, FPGA, development board

Katarzyna Peplińska-Matysiak

Sebastian Pecolt

Tomasz Krzyżyński

Wydział Technologii i Edukacji

Katedra Mechatroniki i Mechaniki Stosowanej

Politechnika Koszalińska

Experimental set - up to research inductive heating of domestic hot water

Key words: inductive, domestic hot water, heating systems, temperature sensors

Introduction

Electric heaters made of a resistive material, which is insulated from the heated water, are often used to heat domestic water in closed tanks.

Induction heating is another solution for heating water. It is the process of heating an electrically conducting object by electromagnetic induction. Many parameters i.e. heater power, heat exchanger surface, mixing water process have influence on the heating process.

To properly investigate the efficiency of the developed heating system it is necessary to monitor important parameters in the whole system, such as input power, power factor and the temperature of heated water.

1. Experimental set - up

Experimental set-up (Fig. 1) consists of three major parts: water tank, heating system and data acquisition system. The aim of the research is to measure real power and temperature of water filling the tank during the measuring process.



Fig. 1. Experimental set-up to research inductive heating of domestic hot water

2. Measurement system

Data acquisition system is based on National Instruments components and Labview applications. Signals from temperature sensor (Fig. 3) and 1-phase power network meter (Fig. 5) after processing by transducers go to Bus - Powered M Series Multifunction DAQ (Fig. 7).

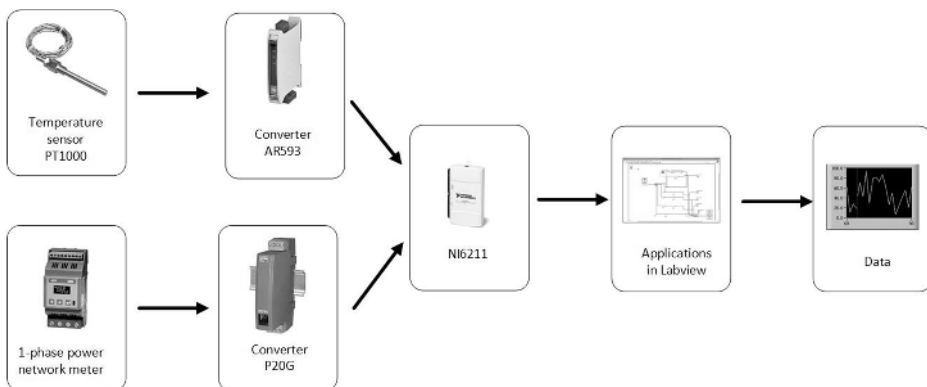


Fig. 2. Measuring system for acquisition data

Temperature sensors are located in different positions of the tank. This setup provides more precise readings while water is stirred by a pump and an overview of the temperature sensors when the water is not stirred.

The capacity of the tank is equal to 50 liters. The volume of 48.5 liters is used for this research due to the fact that the heated water is in an open configuration i.e. open-vented non pressurised system and to prevent leakage of water from the upper hole of tank due to thermal expansion of water so it was decided to reduce the amount of water to a safe level.

Two coils (9,10) are used as the heating elements and they are located between the water tank and the case (11). Electrical system (4) is located under the tank. IGBT transistors and bridge rectifier (13) are directly attached to the tank for better heating efficiency. The thermostat (8) is used for disconnecting the system when the temperature of water is equal to 70 degrees. Cold water flows on intake (6). Warm water is channeled by exhaust (14).

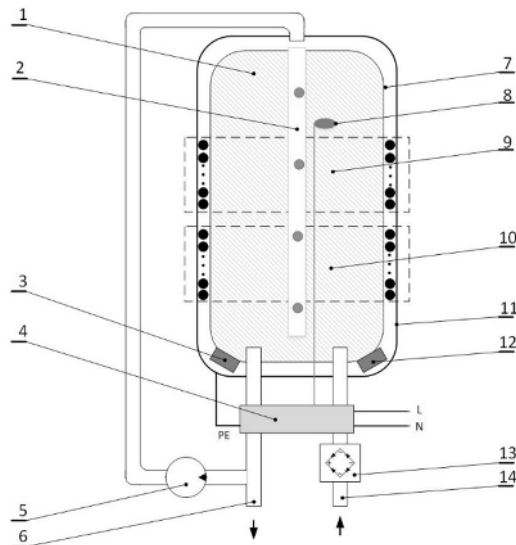


Fig. 3. Water tank with heating system and temperature sensors

2.1. Measuring equipment

Temperature sensors (Fig. 3) used in measuring system have 4-core cables PT1000 which have 1/3B class of tolerance (EN 60751). The measuring range is from -30°C to 100°C . Temperature factor is 3850 ppm/K.



Fig. 4. Temperature sensor TT4- PT1000X – 255 – PL

Apar's **universal transducers AR593** (Fig. 4) is used to convert the signal from temperature sensor. The converter has two independent outputs i.e. the current output - $0/4 \div 20\text{mA}$ and the voltage output - $0/2 \div 10\text{V}$. Scope of processing, input type, and other parameters configured with programmer from PC[2].



Fig. 5. Universal transducer AR593

1 – phase network meter N27P with graphical display can measure direct or indirect several network parameters i.e. phase voltage, current, active, reactive and apparent power, active power factor. Meter has universal measuring input $1/5\text{ A}$ $100/400\text{ V.A.C.}$ or $32/63\text{ A, }100/400\text{ V A.C.}$ and outputs RS-485 interface with MODBUS protocol, relays (numbers of delays is depending on version) and analog. It is direct measurement (up to 63A) [1].



Fig. 6. 1-phase power network meter N27P

Source: [1]

Separator P20G is used to convert signal from 1 – phase power network meter. It has one current input and two outputs i.e. current output $-20 \div 20$ mA and voltage output $-10 \div 10$ V). It is possible to recalibrate the analog output according to the output individual characteristic, change input and output type by PD14 programmer. Accuracy class 0,2.



Fig. 7. Separator P20G

Source: [1]

Bus - Powered M Series Multifunction DAQ - The National Instruments USB – 6211 (Fig. 7) is used to acquire data from sensors. It has 16 analog inputs, 2 analog outputs and 4 digital inputs. Analog inputs measure with 16 bits resolution in maximum range -10 V to 10 V with accuracy $2,69$ mV and sensitivity $91,6$ μ V (minimum range in -200 mV to 200 mV with accuracy $0,088$ and sensitivity $4,8$ μ V). Analog outputs are with resolution 16 bits in maximum range -10 V to 10 V with accuracy $3,512$ mV. Digital input and output are sinking sourcing type. Digital input is measuring in maximum range 0 V to 5.25 V. Digital output is in maximum range 0 V to $3,8$ V.



Fig. 8. Bus Powered M Series - NI 6211

Source: [3]

2.2. Acquisition system in LabVIEW

Dedicated application in LabView was created (Fig. 8) for measuring system. On the front panel there are two sections: one is for parameters from 1 –phase network meter N27P, the other is for temperature from temperature sensors PT1000.

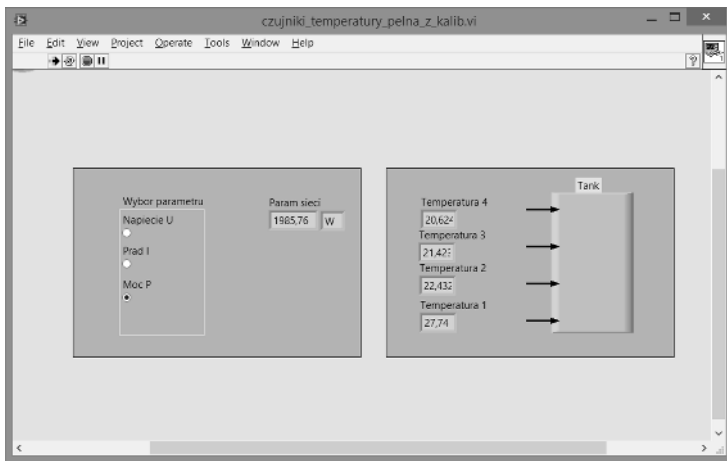


Fig. 9. Front panel of application for data acquisition

When one of the parameters i.e. Voltage (U), Current (I), Real power (P) is chosen data from sensor is processed to correct range (Fig. 9) in case statement.

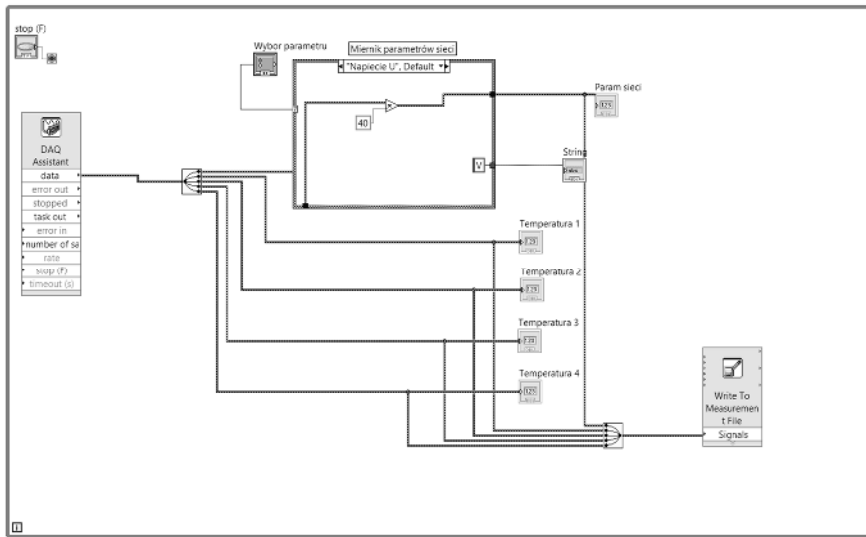


Fig. 10. Project of application in LabView environment

The signal from temperature sensors is not processed because all sensors were calibrated within range at 0 to 100 degrees in closed tank. Measured temperature is displayed directly on the screen. Temperature from calibrated sensors was compared to standard sensors.

3. Experimental results

Research was conducted in two setups:

- water stirred by pump,
- not stirred water.

Each approach took approximately 1,5h.

Samples were measured with 100Hz frequency. Real power [W] was chosen from 1 – phase network parameters. Data of temperature and real power were presented below on graphs.

Temperature sensors were located in water tank in order from the bottom *Temperatura 1*, *Temperatura 2*, *Temperatura 3* and *Temperatura 4*. Measured signal was presented on the figure (Fig. 8). Temperatures in the second variant where water was not stirred show visible differences (Fig. 10). The highest temperature is from sensor *Temperatura 4*, and the lowest from sensor *Temperatura 1*.

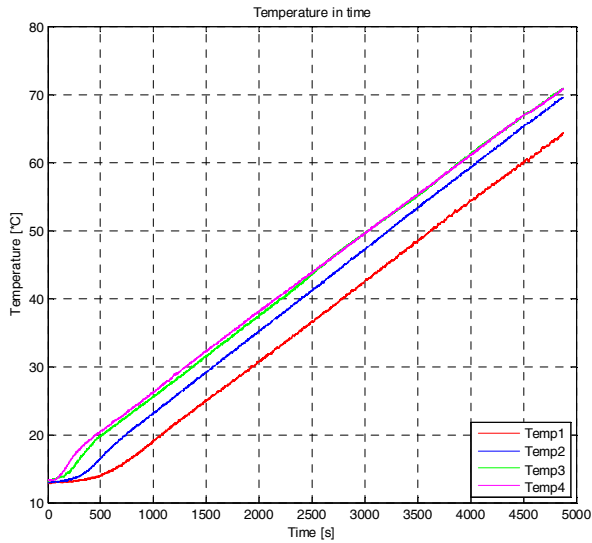


Fig. 11. Temperature in process without stirring water by pump

In the process with water stirring (Fig. 11) differences between temperatures are smaller and all of sensors presented almost the same temperature.

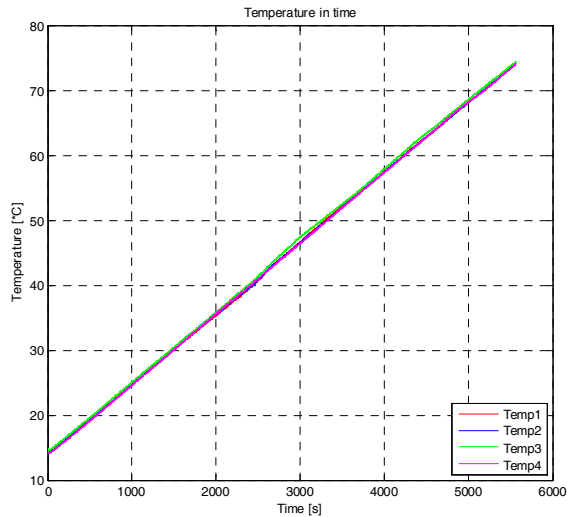


Fig. 12. Temperature in process with stirring water by pump

Power consumption during the research grew up to the moment when the thermostat disconnected from the heating system. Process without water stirring (Fig. 12) spanned less than that of the process with the water stirring (Fig. 13), because water temperature on the top layer in tank was adequate enough to allow the disconnection of the system by the thermostat.

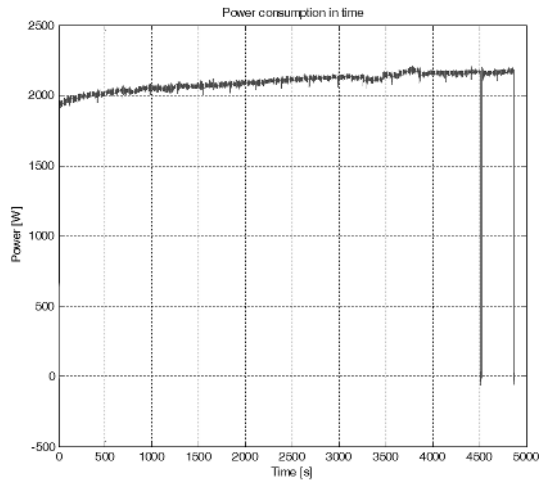


Fig. 13. Power consumption in process without stirring water by pump

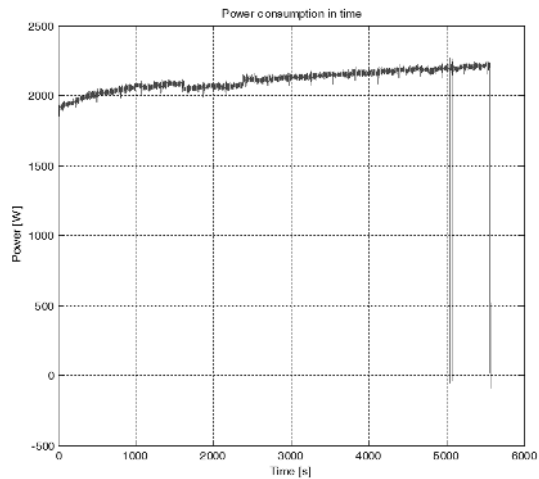


Fig. 14. Power consumption in process with stirring water by pump

In the Fig. 12 and Fig.13 in the final stage of collection data can be observed a short duration in reduction to zero level power consumption before the final off. This is due to the use of mechanical thermostat vibration contacts at specific temperature.

4. Conclusions

The measuring system for the experimental set-up provides the ability for automatic data collection of several parameters of the process. Temperature sensors used in the process are calibrated and provide accurate measurements. By applying four temperature sensors inside the tank, there is a possibility to measure the layers of temperature in heated water. The measuring system allows for future comparative efficiency study of conventional heating system with inductive heating domestic hot water.

References

1. Lumel [online], <http://www.lumel.com.pl/>, Available at 06.03.2016
2. Apar [online], <http://www.apar.pl/>, Available at 06.03.2016
3. National Instruments [online], <http://www.ni.com>, Available at 04.11.2015

Abstract

The article discusses experimental set – up to research inductive heating of domestic hot water. The article presents parts which contain test stand include: water tank, measuring, heating and acquisition systems. Each part is described with important parameters. The paper further presents result of research in two setups – with the stirring of water by pump and without the stirring of water.

Streszczenie

Artykuł przedstawia stanowisko pomiarowe do badania indukcyjnego podgrzewacza wody użytkowej o pojemności 50 litrów. Szczegółowo opisano elementy stanowiska pomiarowego do automatycznej akwizycji danych wraz z aplikacją zbudowaną w LabView. Omówiono parametry zastosowanych czujników i przetworników. W drugiej części artykułu przedstawiono wyniki badań zebrane na stanowisku badawczym podczas dwóch procesów – z mieszaniem wody w zbiorniku w obiegu zamkniętym i bez mieszania wody, dzięki czemu można było zaobserwować uwarstwienie temperaturowe wody w bojlerze.

Jarosław Kraśniewski

Włodzimierz Janke

Faculty of Electronics and Computer Sciences

Koszalin University of Technology, Poland

Calibration of temperature-sensitive parameter for Silicon Carbide SBD'S

Keywords: temperature-sensitive parameter calibration curves, Silicon Carbide Schottky Barrier diodes

1. Introduction

The junction temperature of semiconductor devices is the major factor influencing their parameters and characteristics. In the design process of power electronic circuit, the actual values of thermal resistance or thermal impedance of the devices have to be taken into account. The accurate value of the thermal resistance of a device for a given cooling conditions may be obtained by measurements. Standard methods of thermal resistance measurements consist of establishing the calibration curve of temperature-sensitive parameter and measuring the change of this parameter corresponding to the change of dissipated power. The proper calibration curves are measured in the temperature chamber, in the wide range of ambient temperature (T_a) and for the constant current value, which does not cause the self-heating phenomenon ($T_j \cong T_a$) [1]. Another possibility is to predict this curve theoretically or by simulations. If such prediction is sufficiently accurate, the measurements of thermal resistance would be a relatively simple task [2, 3].

The main purpose of presented work is to estimate the possibility of achieving the calibration curves without the measurements in the oven. The calibration curves has been obtained, on the basis of analytical equations or with the use of PSPICE simulations. The obtained curves has been compared with the curves measured in the standard way.

As an object of investigations the Schottky diodes manufactured by Cree and Infineon and MESFET transistors manufactured by Cree are chosen. The forward voltage drop on the m-s junction is chosen as a temperature-sensitive parameter.

The laboratory set-up for the measurement of the calibration curves is described in chapter 2, the method used for the theoretical curves calculation – in chapter 3.

The results of measurements and simulations are presented in chapter 4, and conclusions in chapter 5.

2. The laboratory SET-UP

In the measurements of the calibration curves, the diodes and transistors has been driven by the current I_M , small enough to avoid the self-heating phenomenon, which could influence of the temperature-sensitive parameter. The mentioned value depend on the allowable power for the considered semiconductor device and, in the presented case, has been setted as 1mA.

The measurement of the temperature-sensitive parameter (the forward voltage V_F for the diodes and the forward voltage V_{GS} on m-s junction for the MESFET transistors) is performed with the use of Agilent digital voltmeter 8½. The tested devices are fixed to the heat-sink with the dimensions: 110x126x136mm and such set-up is placed in the FEUTRON temperature oven. The internal temperature of the oven is additionally controlled with the use of of the Hart Scientific 1522 measure with the accuracy $\pm 0.01^\circ\text{C}$ ensured [4, 5, 6].

3. The Theoretically obtained calibration curves

The I-V characteristic of metal-semiconductor junction, for the relatively low values of forward current may be described by the equations [2]:

$$i \cong I_S \cdot \exp \frac{q \cdot V_F}{kT} \quad (1)$$

$$I_S = A \cdot T^\chi \cdot \exp\left(-\frac{q \cdot \Phi_B}{kT}\right) \quad (2)$$

where: k , q – physical constants, T – ambient temperature, Φ_B – junction barrier voltage, A – is a parameter dependent on junction area and Richardson constant. The value of χ parameter is approximately 2 for the m-s junction [2].

From equations (1) and (2), the dependence of the junction voltage on the temperature (at constant current) may be obtained:

$$V_F(T) = \phi_B + \frac{T}{T_0} (V_0 - \phi_B) - \chi \frac{kT}{q} \cdot \ln \frac{T}{T_0} \quad (3)$$

where: V_0 – the voltage across the junction for the reference temperature T_0 and current I_0 .

According to the mentions in the literature [7] it may be assumed, that the most common metal in m-s junction for SiC elements is nickel or titan, and value of barrier voltage Φ_B for Ni is between 1.26 and 1.69eV and for Ti 0.8 to 1.13eV. On

the basis of calibration curves obtained from analytical equations and informations available on internet, one is able to determine the type of metal used in m-s junction for investigated SiC devices.

4. The exemplary results

In this chapter, the exemplary calibration curves: measured, simulated in PSPICE and calculated analytically from Eqn. (3) for chosen SiC Schottky diodes and MESFET transistors are presented. In PSPICE simulations the parameter set published by manufacturer Cree is used [8].

For the junctions barrier voltage Φ_B estimation, 10 calibration curves for each type of devices obtained through measurements were used. The range of barrier voltage Φ_B for respective devices was as follows: for diodes – CSD01060 (Cree) from 0,86873 to 0,87279 eV, for CSD04060 (Cree) from 0,81112 to 0,82892 eV, for IDH04SG60C (Infineon) from 0,83625 to 0,84080 eV and for CRF24010 (Cree) transistor from 0,74474 to 0,79321 eV.

The results obtained for the Cree silicon carbide Schottky diodes are shown in Fig. 1 (CSD01060) and Fig. 2 (CSD04060).

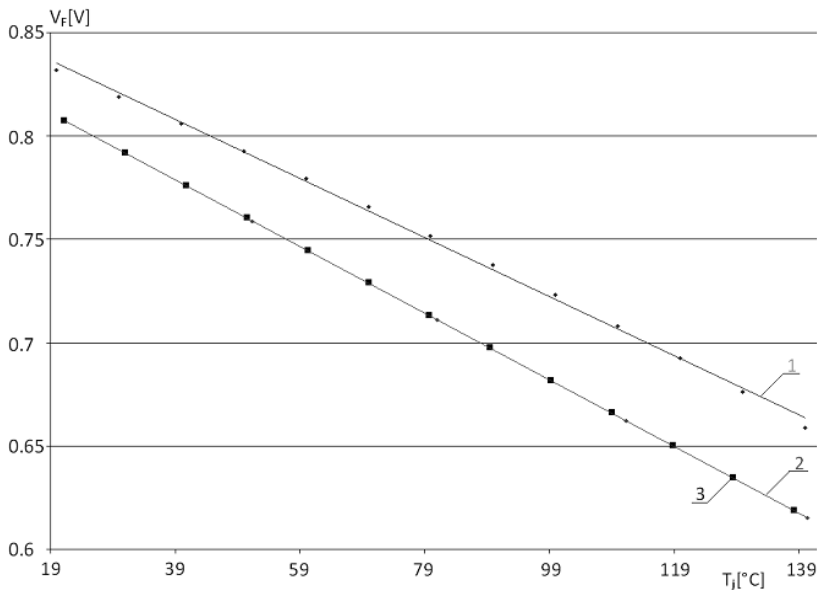


Fig. 1. The calibration curves $V_F(T_j)$ of Schottky SiC diode (CSD01060) 1 - model SPICE, 2 - measurement, 3 - theoretical, according to Egn. (2)

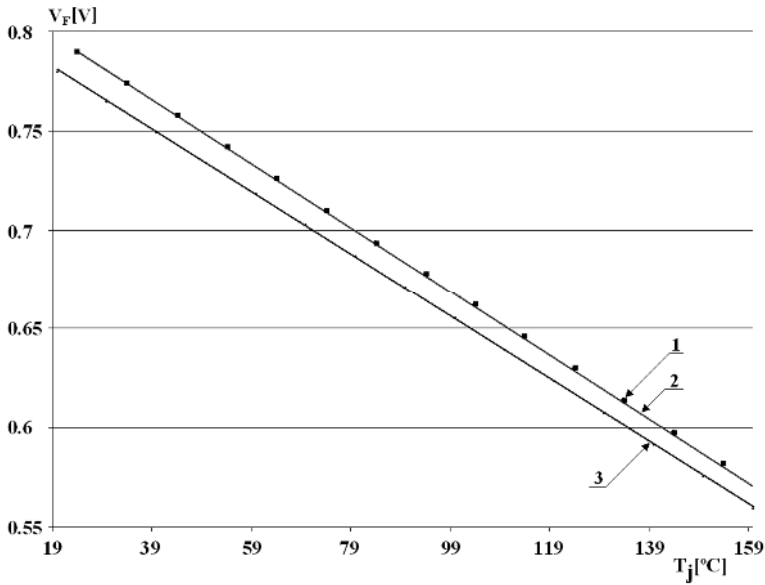


Fig. 2. Calibration curve $V_F(T_j)$ of Schottky SiC diode (CSD04060)
 1 – theoretical, according to Eqn. (2), 2- measurements, 3 – SPICE simulation

It may be observed, that the calibration curve obtained on the basis of the Eqn. (2) and the measured curve are in good conformity. Curves obtained through simulations (SPICE software) based on manufacturers model (Cree) differ substantially from measurement curves.

The results obtained for the Infineon silicon carbide Schottky diodes are shown in Fig. 3 (IDH04SG60C).

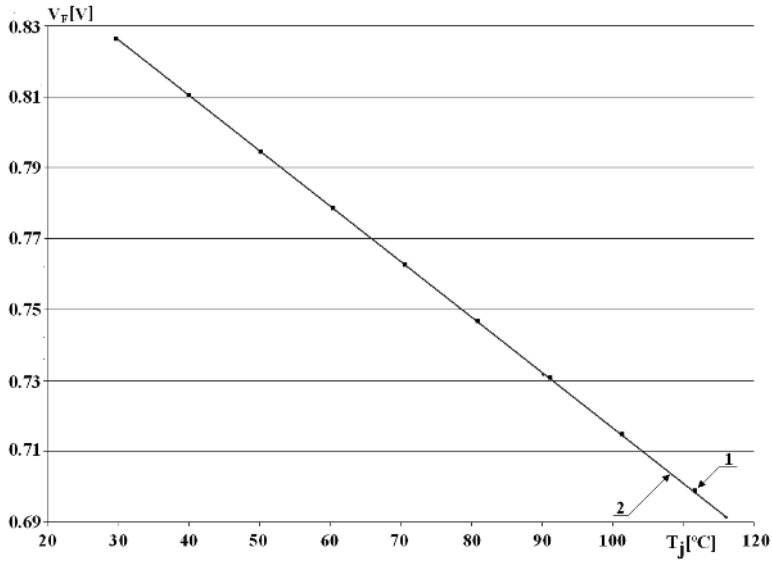


Fig. 3. Calibration curve $V_F(T_j)$ of Schottky SiC diode (IDH04SG60C) 1 – theoretical, according to Egn. (2), 2- measurements

The results obtained for the Cree silicon carbide transistor are shown in Fig. 4 (CRF24010).

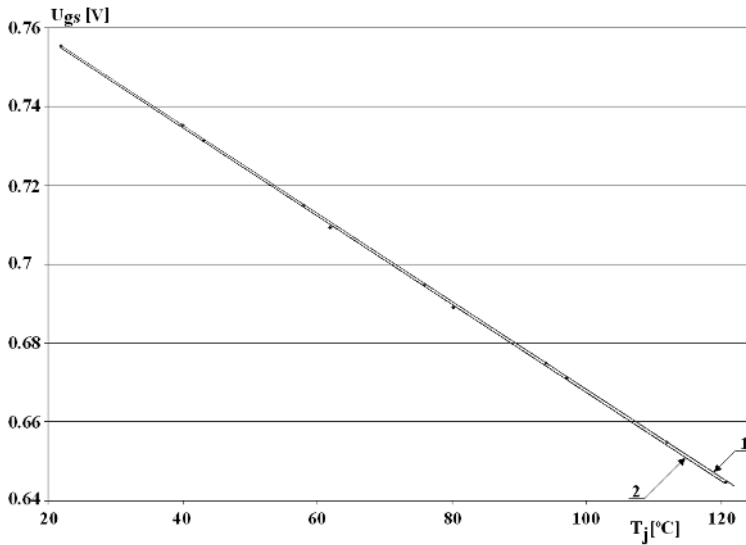


Fig. 4. Calibration curve $V_{GS}(T_j)$ of MEFET SiC transistor (CRF24010) 1 – theoretical, according to Egn. (3), 2- measurements

In the case of results from figures 3 and 4 no attempts to calculate calibration curves through the use of SPICE software were made, because manufacturer hasn't provided any models of corresponding devices. However, characteristics based on the theoretical models derived from dependency (3) show good consistency with calibration curves obtained through measurements.

5. Conclusions

The exemplary results of the measurements are presented in Figs 1÷4 and compared with the results of theoretical predictions and in the case of Figs 1÷2, of SPICE simulations. One may observe that the measurement results are better fitted to theoretical curve than to results of SPICE simulation.

The accuracy of calculation of the calibration curves with the use of Eqn. (3) depends on the properly chosen value of barrier voltage Φ_B . In this case, the theoretical curves are very similar to those obtained in the measurements. The value of Φ_B may be treated as a constant parameter for many types of Schottky diodes based, on the same set of metal (Ti) and semiconductor (SiC). The slightly different values of Φ_B observed in MESFET result probably form the difference of technological processes of SBD and MESFET based on SiC. The accurate prediction of the calibration curves and calculations of the internal devices temperature change based on them, is necessary in the process of the measurements of thermal resistance or thermal impedance of a device in the real cooling conditions. Knowing the calibration curve of a given device, one is able to perform the measurements of thermal resistance or thermal impedance of it, without the use of temperature chamber.

References

1. P.M. Iqic, P.A. Mawby, M.S. Towers and S. Batcup, Thermal model of power semiconductor devices for electro-thermal circuit simulations, INTERNATIONAL CONFERENCE ON MICROELECTRONICS, Vol 1, 12-15 MAY 2002, pp. 171-174.
2. W. Janke, Thermal Phenomena in Semiconductor Devices, WNT, Warszawa, 1992 (In Polish).
3. W. Janke, J. Kraśniewski, M. Kraśniewski, M. Oleksy, J. Mizeraczyk, M. Kocik, Measurements of thermal transients in semiconductor devices in the internal or external power excitation mode, IMAPS, Poland, 17-19 September 2003, pp. 177-180.
4. W. Janke, J. Kraśniewski, The investigations of transient thermal characteristics of microwave transistors, *Metrol. Meas. Syst.*, vol. XVI (2009), no.3, pp. 433-442.

5. Department of defense MIL-STD-750D, Test method standard semiconductor devices, 28 Feb 1995.
6. EIA/JESD51, Methodology for the Thermal Measurement of Component Packages (Single Semiconductor Device), Dec 1995 - Nov 2010.
7. S. Ferrero, F. Giorgis, C.F. Pirri, P. Mandracci, C. Ricciardi, L. Scaltrito, C. Sgorlon, G. Richieri, L. Merlin, Processes nad properties of 4H-SiC based Schottky diodes, CNR-MASPEC, March 2002 Parma.
8. PSpice Model - SiC Schottky Diode:
http://www.cree.com/products/power_docs.asp

Abstract

Thermal properties of semiconductor device may be characterized by thermal parameters or characteristics such as thermal resistance and thermal impedance. In order to calculate the thermal resistance or thermal impedance one must have a calibration curve of temperature-sensitive parameter of the device (e.g. the voltage drop across a junction).

For the obtaining the calibration curve by measurement, the temperature chamber has to be used. Another possibility is to predict this curve theoretically from analytical equations or by simulations (e.g. PSPICE).

In the paper, the simulation and theoretical predictions of temperature-sensitive parameter calibration curves are compared with the results of measurement for SiC devices with metal-semiconductor junction.

Streszczenie

Właściwości termiczne elementów półprzewodnikowych można charakteryzować poprzez parametry lub charakterystyki termiczne, takie jak rezystancja i impedancja termiczna. W celu wyznaczenia rezystancji lub impedancji termicznej elementu półprzewodnikowego musimy posiadać krzywą kalibracji parametru termoczułego (np. spadek napięcia na złączu).

Dla uzyskania pomiarowej krzywej kalibracyjnej należy wykorzystać komorę temperaturową. Inną możliwością jest teoretyczne przewidywanie ww. krzywej z równań analitycznych lub symulacji (np. PSPICE).

W niniejszej pracy porównano krzywe kalibracyjne parametru termoczułego otrzymane na drodze symulacji i teoretycznych obliczeń z wynikami pomiarów dla urządzeń SiC o złącze m-s.

Słowa kluczowe: krzywa kalibracyjna parametru termoczułego, dioda Schottky z węgla krzemu

Adam Dudek

Instytut Informatyki PWSZ w Nysie

E-mail: adam.dudek@pwsz.nysa.pl

Justyna Patalas-Maliszewska

Instytut Informatyki i Zarządzania Produkcją

Uniwersytet Zielonogórski

E-mail: J.Patalas@iizp.uz.zgora.pl

Model klasyfikacji wiedzy w przedsiębiorstwie produkcyjnym przy zastosowaniu algorytmu Bayes'a

1. Wstęp

Przedsiębiorstwa dążą do poprawy swojej konkurencyjności w rozumieniu osiągnięcia bardziej korzystnej pozycji na rynku [3]. Coraz więcej przedsiębiorstw podejmuje działania w kierunku wdrażania rozwiązań informatycznych, które z jednej strony umożliwiają pozyskiwanie i analizowanie danych, z drugiej strony w kierunku implementacji aplikacji informatycznych, które wspierają proces zarządzania wiedzą.

Zgadając się ze stanowiskiem [2] zdefiniowano następujące etapy w procesie zarządzania wiedzą w przedsiębiorstwie produkcyjnym:

- (1) Ocena posiadanej wiedzy jawnej i ukrytej (identyfikacja źródeł wiedzy).
- (2) Planowanie zasobów (wybór pracowników zaangażowanych w realizację procesu zarządzania wiedzą).
- (3) Tworzenie wiedzy na podstawie danych i informacji zgromadzonych w przedsiębiorstwie.
- (4) Kodyfikacja wiedzy (zdefiniowanie wiedzy).
- (5) Absorpcja wiedzy (zrozumienie dostępnej wiedzy).
- (6) Wykorzystanie wiedzy (poprawa konkurencyjności przedsiębiorstwa).
- (7) Ochrona wiedzy.
- (8) Kultura organizacyjna.

W artykule, dla działu obsługi serwisowej przedsiębiorstwa produkującego naczepy samochodowe dokonano identyfikacji źródeł wiedzy w przedsiębiorstwie (etap 1), następnie dokonano wyboru pracowników, którzy będą zaangażowani w realizację procesu zarządzania wiedzą (etap 2) oraz utworzono wiedzę na podstawie danych i informacji zgromadzonych w przedsiębiorstwie (etap 3).

Przedstawiono ponadto projekt i opis realizacji aplikacji, której celem jest gromadzenie, wyszukiwanie i analiza danych dotyczących historii serwisowej serwisowanych pojazdów. W oparciu o gromadzone za pomocą aplikacji dane i informacje, zaproponowano następnie reguły dla zidentyfikowanych źródeł wiedzy jako podstawę dla działania klasyfikatora Bayes'owskiego (etap 4). Kolejne etapy procesu zarządzania wiedzą wymagają jeszcze dalszych badań.

W artykule w rozdziale drugim zaprezentowano zidentyfikowane źródła posiadanej wiedzy jawnej w przedsiębiorstwie produkcyjnym oraz dokonano wyboru kluczowych pracowników dla procesu zarządzania wiedzą. W rozdziale trzecim zaprezentowano autorską aplikację informatyczną, której zastosowanie pozwala na utworzenie wiedzy dla działu obsługi serwisowej przedsiębiorstwa produkującego naczepy samochodowe. W rozdziale czwartym zaproponowano model klasyfikacji wiedzy w przedsiębiorstwie produkcyjnym przy zastosowaniu algorytmu Bayes'a. W podsumowaniu przedstawiono wnioski i kierunki dalszych prac.

2. Źródła wiedzy w przedsiębiorstwie produkcyjnym

Zgodnie z przyjętym modelem procesu zarządzania wiedzą, w etapie pierwszym należy zidentyfikować źródła wiedzy. Na przykładzie działu serwisowego przedsiębiorstwa zajmującego się serwisowaniem naczep i przyczep samochodowych własnej produkcji rozważania zawężono do wiedzy jawnej dotyczącej realizacji zleceń serwisowych. Zidentyfikowano następujące źródła wiedzy dotyczącej zarówno pracy serwisu jak i samego pojazdu:

1. Wiedza pozyskana w oparciu o informacje pochodzące od klienta/użytkownika w momencie przyjmowania zgłoszenia serwisowego.
2. Wiedza pozyskana w oparciu o informacje zgromadzone w kartach przeglądów.
3. Wiedza o wykonanych czynnościach serwisowych.

Dla danych źródeł wiedzy zdefiniowano macierzową mapę wiedzy:

Tab. 1. Macierzowa mapa wiedzy, opracowanie własne

Wiedza	Obszar wiedzy
w_{j0}	Prawdopodobieństwo, że kolejny obsługiwany pojazd będzie określonego typu
w_{j1}	Prawdopodobieństwo, że przebieg kolejnego pojazdu będzie należał do określonego zakresu

W _{j2}	Prawdopodobieństwo, że pojazd, którego przegląd jest planowany transportuje w większości określony typ ładunków
W _{j3}	Prawdopodobieństwo, że pojazd, którego przegląd jest planowany porusza się w większości przypadków po określonym typie nawierzchni
{W _{j4} ,...,W _{j39} }	Prawdopodobieństwo warunkowe stwierdzenia określonej w karcie przeglądu usterki lub nieprawidłowości pod warunkiem, że jest to pojazd określonego typu, jego przebieg mieści się w określonych granicach, transportuje określony rodzaj ładunków i porusza się po określonym rodzaju nawierzchni
W _{j41}	Szacowany całkowity czas trwania planowanego przeglądu
W _{j42}	Szacowana ilość potrzebnych materiałów eksploatacyjnych niezbędnych do wykonania kolejnego planowanego przeglądu
W _{j43}	Prawdopodobieństwo warunkowe konieczności naprawienia określonego komponentu lub podzespołu pod warunkiem stwierdzenia określonych nieprawidłowości
W _{j44}	Prawdopodobieństwo warunkowe konieczności wymiany określonego komponentu lub podzespołu pod warunkiem stwierdzenia określonych nieprawidłowości.
W _{j45}	Szacowana ilość niezbędnych specjalistów zaangażowanych do wykonania planowanego przeglądu

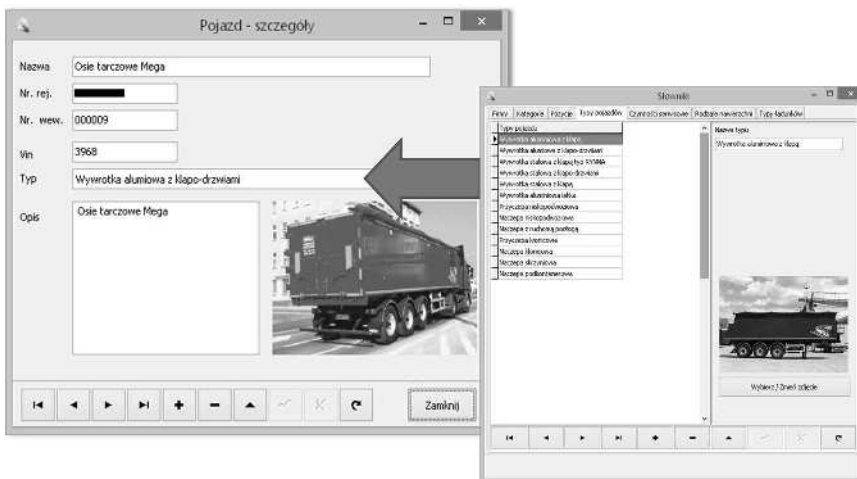
Pracownicy, którzy są zaangażowani w realizację procesu zarządzania wiedzą to generalnie wszyscy pracownicy działu serwisu. W celu utworzenia zbioru użytecznej wiedzy dla przedsiębiorstwa, na podstawie danych i informacji zgromadzonych w przedsiębiorstwie (etap 3) wykonano aplikację działającą pod kontrolą systemu Windows, której zadaniem jest ułatwienie gromadzenia informacji dot. pojazdów oraz ich przeglądów serwisowych.

3. Tworzenie wiedzy w przedsiębiorstwie produkcyjnym

Dane i informacje zgromadzone w przedsiębiorstwie, aby mogły zostać wykorzystane do tworzenia wiedzy, powinny zostać uporządkowane, zgromadzone i odpowiednio przechowywane. Proponowana aplikacja umożliwia grupowanie informacji wg:

- informacje o pojeździe (w tym przypadku naczepach i przyczepach samochodowych)
- informacje o przeglądach gwarancyjnych (naczepy produkowane przez opisywaną firmę przechodzą do 5 przeglądów gwarancyjnych) oraz o naprawach zleconych przez klientów w czasie trwania gwarancji oraz po jej zakończeniu
- szczegółowe informacje dotyczące przebiegu oględzin przeprowadzanych w ramach przeglądów gwarancyjnych gromadzone dotychczas w formie papierowej
- informacje o naprawach oraz wymianach podzespołów i komponentów wraz z ich czasochłonnością, zapotrzebowaniem na części zamienne i materiały eksploatacyjne, a także tzw. "złożonością ludzką" - element zostanie szczegółowo przedstawiony w dalszej części opracowania.

3.1. Informacje o pojeździe

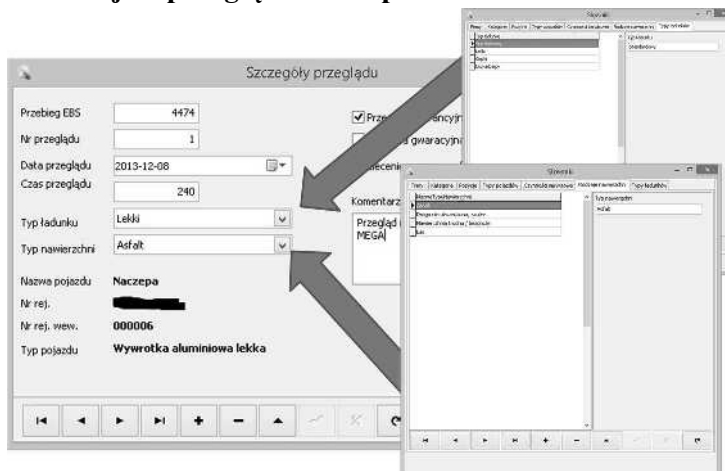


Rys. 1. Informacje o pojeździe, opracowanie własne

Podstawową informacją o pojeździe jest jego typ, który w znacznym stopniu determinuje wiele aspektów realizowanych czynności serwisowych. W opisywanym

przedsiębiorstwie produkowanych jest kilkanaście podstawowych typów pojazdów. Szczegółowo zostały one opisane w rozdz. 4.

3.2. Informacje o przeglądach i naprawach

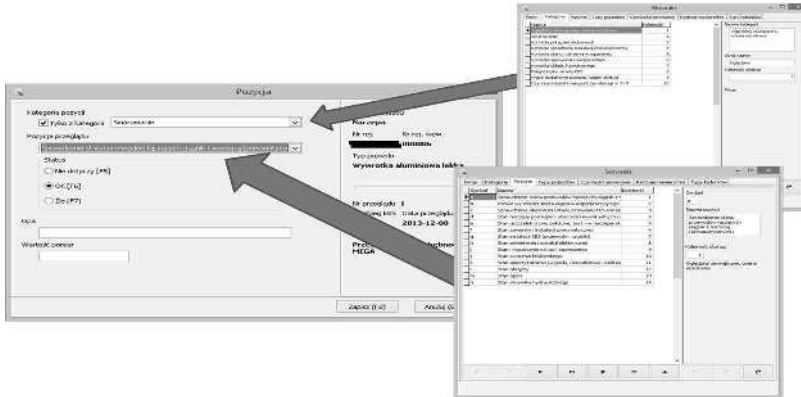


Rys. 2. Informacje o przeglądach i naprawach, opracowanie własne

Na rys. 2 zaprezentowano informacje, które są gromadzone, dla poszczególnych przeglądów serwisowych. Szczególnie istotne są tutaj: przebieg pojazdu, numer przeglądu, czas trwania przeglądu (wyrażony w minutach), typ nawierzchni na jakiej eksploatowany jest pojazd oraz rodzaj ładunku jaki jest transportowany w większości przypadków.

3.3. Ogędziny pojazdu

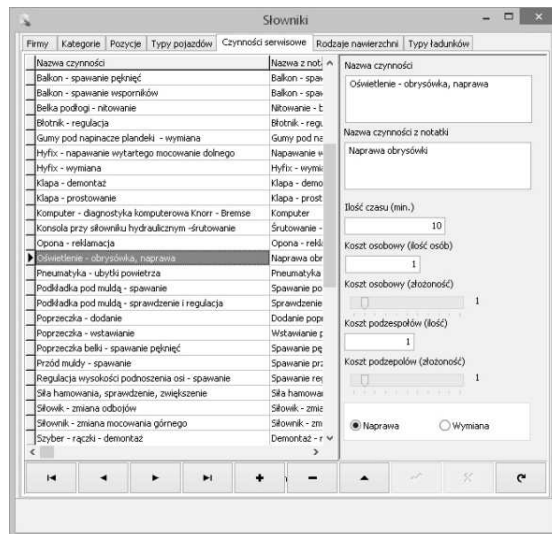
W ramach realizacji procedury przeglądu serwisowego, pracownik działu serwisu sprawdza i weryfikuje blisko 40 elementów zgodnie z tzw. kartą przeglądu, dla których odnotowuje stwierdzony stan (dobrze, źle lub nie dotyczy). W niektórych przypadkach (np. grubość klocków hamulcowych), w karcie odnotowywana jest dodatkowo zmierzona wartość. W elektronicznej wersji karty przeglądu, zaproponowano podział pozycji z listy na kategorie. Do każdej z kategorii przypisano określoną listę pozycji z karty. Zastosowano tutaj mechanizm ułatwiający bieżącą aktualizację informacji, gdyż w momencie dodawania kolejnej pozycji z karty, automatycznie wybierana jest ta, której wartość jest jeszcze nie ustalona, z puli wszystkich pozycji, lub tylko tych, które należą do wybranej kategorii. Na rys. 3 zaprezentowano funkcjonalność, realizującą to zadanie.



Rys. 3. Elektroniczna karta przeglądu, opracowanie własne

3.4. Informacje o naprawach i czynnościach serwisowych

W oparciu o stwierdzone w czasie oględzin ew. nieprawidłowości podejmowany jest szereg czynności celem ich wyeliminowania poprzez naprawę lub wymianę podzespołów lub komponentów. Informacje o tychże gromadzone są przy wykorzystaniu modułu czynności serwisowych. Dla każdego z przeglądów, bez względu na to, czy był to przegląd okresowy, czy naprawa zgłoszonej usterki, możliwe jest wskazanie dowolnej liczby zrealizowanych czynności serwisowych. Wybierane są one z listy, której zawartość jest zarządzana przez słownik czynności serwisowych.



Rys. 4. Słownik czynności serwisowych, opracowanie własne

Jest to katalog wszystkich czynności jakie przeprowadzane były przez dział serwisowy firmy dla jakiegokolwiek pojazdu. Każda z jego pozycji opisywana jest za pomocą następujących parametrów.

- Nazwa czynności – ustandaryzowany opis zawierający w pierwszym członie nazwę podzespołu lub komponentu, w drugim rodzaj podjętej przy nim czynności.
- Nazwa czynności z notatki – oryginalne nazewnictwo zastosowane przez serwisanta.
- Ilość czasu – przeciętny całkowity czas realizacji czynności, wyrażony w minutach.
- Koszt osobowy (ilość osób) – maksymalna liczba osób, których zaangażowania wymagała realizacja wybranej czynności serwisowej.
- Koszt osobowy (złożoność) – wartość subiektywnie określona przez kierownika serwisu i w skali od 1 do 10, określa złożoność kompletacji zespołu realizującego przegląd. Jest zależna od wymaganych kompetencji, ilości specjalistów, oraz tego czy są pracownikami działu serwisu, czy też konieczne jest oddelegowanie ich z innych działów produkcyjnych firmy.
- Koszt podzespołów (ilość) – suma części zamiennych i podzespołów wykorzystanych do realizacji danej czynności serwisowej.
- Koszt podzespołów (złożoność) – wartość subiektywna w skali od 1 do 10, określająca jak skomplikowana może być kompletacja podzespołów i części zamiennych niezbędnych do realizacji czynności – począwszy od elementów na bieżąco dostępnych w dziale serwisowym, do komponentów wykonywanych na indywidualne zamówienie.
- Rodzaj czynności – pozwala rozróżnić czynność polegającą na wymianie elementu lub jego naprawie.

Zawartość tego słownika jest rozbudowywana w trybie ciągłym wraz z przyrostem ilości informacji o przeglądach zgromadzonych w bazie danych prezentowanej aplikacji.

Każdemu nowemu wpisowi, dotyczącemu kolejnych czynności serwisowych wybieranych ze słownika, domyślnie nadawane są parametry dot. kosztu czasowego, kosztu zasobów ludzkich oraz podzespołów w oparciu o dane pochodzące z tegoż słownika. Jak wskazuje jednak praktyka serwisowa, rzeczywiste wartości tych parametrów często odbiegają od wartości założonych początkowo, dlatego koniecznym jest możliwość ich zmiany dla wybranego wystąpienia tej czynności. Pozwoli to dodatkowo, na wskazanie tych przeglądów, gdzie wartości te, dla wybranych czynności wyraźnie odbiegają od przyjętych na wstępie. Zakłada się również w dalszej perspektywie, konieczność aktualizacji standardowych wartości tych parametrów w oparciu o te praktycznie zweryfikowane.

3.5. Moduł raportów

Podstawowym modulem, niezbędnym do realizacji dalszych prac analitycznych na zgromadzonych informacjach, jest wciąż rozwijany moduł raportowania. W chwili obecnej pozwala przygotować zestawienie dla danych zgromadzonych w elektronicznej karcie przeglądu, które może być parametryzowane dla: numeru przeglądu (wszystkie, dowolnie wskazany, aktualnie wybrany w oknie głównym aplikacji), pojazdu (wszystkie lub aktualnie wskazany) lub wybranych pozycji z karty przeglądu.

Wew. nr. rej.	Typ	Nr. przeglądu	Przebieg EBS	Ciśnienie w ogumieniu osi pierwszej lewa		Ciśnienie w ogumieniu osi pierwszej prawa		Ciśnienie w ogumieniu osi drugiej lewa		Ciśnienie w ogumieniu osi drugiej prawa		Ciśnienie w ogumieniu osi trzeciej lewa		Ciśnienie w ogumieniu osi trzeciej prawa	
				Stat.	Wart.	Stat.	Wart.	Stat.	Wart.	Stat.	Wart.	Stat.	Wart.	Stat.	Wart.
000003	Wywrotka aluminiowa lekka	2	48992	OK	8,5	OK	8,5	OK	8,5	OK	8,5	OK	8,5	OK	8,5
000003	Wywrotka aluminiowa lekka	3	98914	OK	8,5	OK	8,5	OK	8,5	OK	8,5	OK	8,5	OK	8,5
000003	Wywrotka aluminiowa lekka	4	160000	OK	8,5	OK	8,5	OK	8,5	OK	8,5	OK	8,5	OK	8,5
000003	Wywrotka aluminiowa lekka	5	171120	OK	8,1	OK	8,1	OK	8,5	OK	8,5	OK	8,3	OK	8,2

Rys. 5. Moduł raportów, opracowanie własne

Moduł raportów może prezentować dane w postaci zestawienia zapisanego dokument HTML lub danych w postaci pliku CSV, jako podstawa do dalszej analizy np. przy wykorzystaniu arkusza kalkulacyjnego.

4. Model klasyfikacji wiedzy w przedsiębiorstwie produkcyjnym przy zastosowaniu algorytmu Bayes'a

Analiza literatury przedmiotu [1], [4], [5] wskazuje na dużą liczbę stosowanych w różnych przypadkach metod klasyfikacji, m.in.:

- klasyfikatory oparte o indukcję drzew decyzyjnych
- klasyfikatory Bayes'owskie
- metodę najbliższych sąsiadów
- sieci neuronowe

Klasyfikator w formie drzewa decyzyjnego jest grafem o strukturze drzewiastej, w którym każdy wierzchołek odpowiada testowi na wybranym atrybucie, każde połączenie to wynik testu, a liście odpowiadają klasom, lub rozkładom ich wartości.

Klasyfikator k-najbliższych sąsiadów bazuje na metodach wyszukiwania w zbiorze treningowym takich wcześniejszych przypadków, które mogłyby mieć zastosowanie do klasyfikacji nowych. W ogólności klasyfikacja nowego "przypadku" opiera się na znalezieniu w zbiorze wzorców takiego przypadku, który byłby jemu najbliższy w ogólnym tego słowa znaczeniu, a następnie sklasyfikowaniu go jako należący do tej samej klasy.

Sztuczna sieć neuronowa zbudowana jest z określonej liczby elementów przetwarzających zbiór wartości wejściowych na pojedynczą wartość wyjściową, zwanych neuronami [6]. Każdy neuron dysponuje od 1 do n wejść. Wartości przekazywane z innych neuronów lub z zewnątrz sieci trafiają na poszczególne wejścia, gdzie mnożone są przez tzw. wagi. Ostatecznie tak zmodyfikowane wartości są wewnątrz neuronu sumowane, a wynik tej sumy, staje się podstawą do wyznaczenia wartości funkcji aktywacji, która to zostaje przekazana na wyjście neuronu.

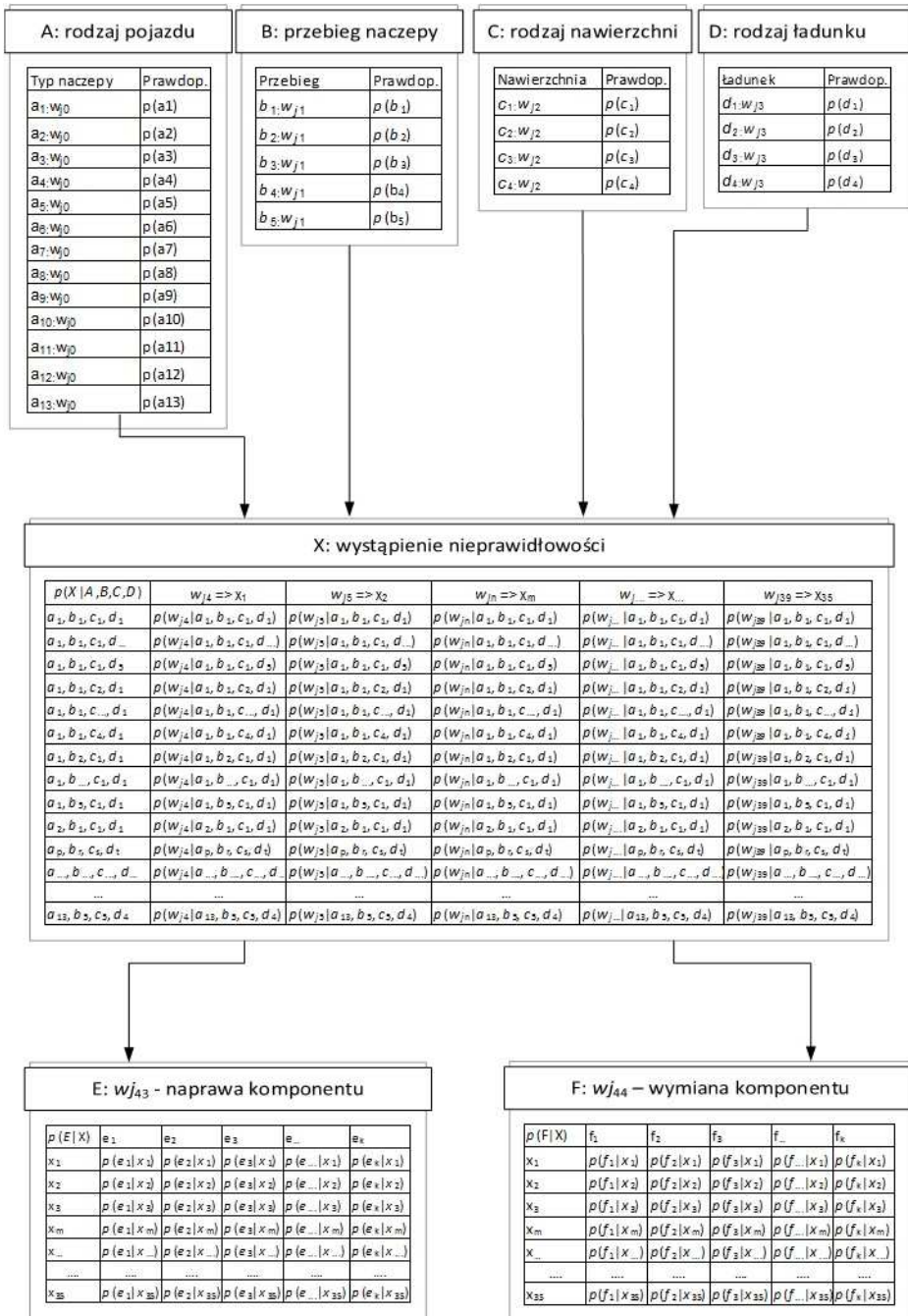
Klasyfikacja Bayes'owska bazuje na twierdzeniu Bayesa. W ogólności klasyfikatory pozwalają dokonać predykcji prawdopodobieństwa przynależności obiektu do wybranej klasy. Twierdzenie Bayesa pozwala wyznaczyć prawdopodobieństwo $P(H|X)$, przy założeniu, że znane jest prawdopodobieństwo warunkowe $P(X|H)$ oraz bezwarunkowe $P(H)$ oraz $P(X)$. Te ostatnie wyznaczane są bezpośrednio ze zbioru analizowanych danych, a $P(H|X)$. Dla niektórych problemów klasyfikacji stosować można tzw. naiwny klasyfikator Bayesa. Zakłada się w tym przypadku, że każdy z klasyfikowanych obiektów może być traktowany jako wektor X , którego elementy to wartości jego atrybutów a_1, \dots, a_n . Jeśli wektor nowo klasyfikowanego obiektu, może należeć do jednej z klas K_1, \dots, K_n , a $P(K|X)$ określa prawdopodobieństwa przynależności X do klasy K , to klasyfikator przypisuje X do tej klasy, dla której prawdopodobieństwo to jest największe.

Koncepcję tę wykorzystano do budowy sieci Bayesa dla przypadku klasyfikacji zgłoszenia serwisowego, w serwisie naczep samochodowych.

Podstawą zbudowania acyklicznego grafu Bayesa jest określenie zmiennych niezależnych, które będą odpowiadać wierzchołkom "pierwszej" warstwy sieci, nie posiadającym poprzedników. W prezentowanym przypadku będą to zmienne A, B, C, D. Zbiór wartości dla każdej z nich w omawianym przypadku serwisu naczep, przedstawiono poniżej:

Tab. 2. Zmienne niezależnych i ich wartości, opracowanie własne

A $\{a_1..a_{13}\}$	typy pojazdów obsługiwanych w serwisie
$p(a_1)... p(a_{13})$	prawdopodobieństwo, wystąpienia danego typu pojazdu
Zbiór wartości	wywrotka aluminiowa z klapą, wywrotka aluminiowa z klapo-drzwiami, wywrotka stalowa z klapą typ RYNNA, wywrotka stalowa z klapo-drzwiami, wywrotka stalowa z klapą, wywrotka aluminiowa lekka, przyczepa niskopodwoziowa, naczepa niskopodwoziowa, naczepa z ruchomą podłogą, przyczepa kłonicowa, naczepa kłonicowa, naczepa skrzyniowa, naczepa podkontenerowa
B $\{b_1..b_5\}$	przebiegi pojazdów obsługiwanych pojazdów
$p(b_1)... p(b_5)$	Prawdopodobieństwo wystąpienia pojazdu o przebiegu zaklasyfikowanym do jednego z 5 zakresów. Zakresy określone są przez zalecane przebiegi dla kolejnych przeglądów.
Zbiór wartości	przeгляд 1, przeгляд 2, przeгляд 3, przeгляд 4, przeгляд 5
C $\{c_1..c_4\}$	rodzaj nawierzchni
$p(c_1)... p(c_4)$	prawdopodobieństwo wystąpienia pojazdu poruszającego się w większości po określonym rodzaju nawierzchni.
Zbiór wartości	nawierzchnia asfaltowa, lekki teren/ szuter/nie utwardzona, nawierzchnia wymagająca, las
D $\{d_1..d_4\}$	rodzaj ładunku
$p(d_1)... p(d_4)$	prawdopodobieństwo wystąpienia pojazdu wykorzystywanego do transportu ładunku 1 z 4 typów
Zbiór wartości	lekki, średnio ciężki, ciężki, uszkodzający



Rys. 6. Model sieci Bayesa, opracowanie własne

Pozostałe z przedstawionych na rys. 6 zmiennych są zmiennymi zależnymi – zmienna X reprezentująca wykrytą nieprawidłowość w jednej z pozycji wymienionych w karcie przeglądu jest zależna od A, B, C, D , natomiast zmienne E (naprawa komponentu) oraz F (wymiana komponentu), są zależne od X .

Tab. 3. Zmienne zależne i ich wartości, opracowanie własne

$X \{x_1..x_{35}\}$	wystąpienie nieprawidłowości w jednej z pozycji sprawdzanych w ramach przeglądu
$p(x_i a_1, b_1, c_1, d_1)$ $p(x_{35} a_{13}, b_5, c_4, d_4)$	prawdopodobieństwo warunkowe wystąpienia nieprawidłowości w wybranej pozycji przy założeniu wystąpienia określonych wartości zmiennych A, B, C, D
Zbiór wartości	OK, ŹLE, N/D (nie dotyczy)
$E \{e_1..e_k\}$	wystąpienie naprawy określonego komponentu lub podzespołu
$p(e_i x_1) \dots$ $p(e_k x_{35})$	prawdopodobieństwo warunkowe wystąpienia konieczności naprawy określonego komponentu, przy założeniu, że wystąpi określona wartość ze zbioru X
Zbiór wartości	zbiór komponentów lub podzespołów jakie były naprawiane w badanej historii serwisowej. Na tym etapie prac wartość k nie jest znana, gdyż w systemie nie zgromadzono jeszcze danych o wszystkich przeglądach
Zbiór wartości	OK, ŹLE, N/D (nie dotyczy)
$F \{f_1..f_k\}$	wystąpienie procedury wymiany określonego komponentu lub podzespołu
$p(f_i x_1) \dots$ $p(f_k x_{35})$	prawdopodobieństwo warunkowe wystąpienia konieczności wymiany określonego komponentu, przy założeniu, że wystąpi określona wartość ze zbioru X
Zbiór wartości	zbiór komponentów lub podzespołów jakie były wymieniane w badanej historii serwisowej. Na tym etapie prac wartość k nie jest znana, gdyż w systemie nie zgromadzono jeszcze danych o wszystkich przeglądach

Na schemacie prezentującym graf sieci wykorzystano oznaczenia rodzajów wiedzy (w_j) w odniesieniu do poszczególnych z zaproponowanych zmiennych. Graf ten nie zawiera jednak odpowiedników dla w_{j40} , w_{j41} , oraz w_{j45} , gdyż nie są one warunkowo zależne, a ich wartości można wyznaczyć jako:

czas przeglądu (w_{j40})

$$t(p) = t(x_1) \dots t(x_{35}) + t(e_1) + t(e_2) + \dots + t(e_n) + t(f_1) + t(f_2) + \dots + t(f_m) \quad (3)$$

gdzie: $n, m \in N$, a $t(p)$ to całkowity czas trwania przeglądu określony jako suma czasu poświęconego na sprawdzenie wszystkich pozycji z karty przeglądu (X) oraz czasów poświęconych na naprawę (E) i wymianę komponentów lub podzespołów (F).

ilość zużytych materiałów eksploatacyjnych (w_{j41})

$$\text{mat}(p) = \text{mat}(e_1) + \text{mat}(e_2) + \dots + \text{mat}(e_n) + \text{mat}(f_1) + \text{mat}(f_2) + \dots + \text{mat}(f_m) \quad (4)$$

gdzie: $n, m \in N$, a $\text{mat}(p)$ to całkowite zużycie materiałów w czasie trwania przeglądu określony jako suma materiałów zużytych na naprawę (E) i wymianę komponentów lub podzespołów (F).

ilość zaangażowanych specjalistów (w_{j45})

$$l(p) = \max \{ 1, \max \{ l(e_n) \}, \max \{ l(f_m) \} \} \quad (5)$$

gdzie: $n, m \in N$, a $l(p)$ to maksymalna liczba zaangażowanych specjalistów, która odpowiada maksymalnemu zapotrzebowaniu na tychże dla sprawdzenia pozycji z karty przeglądu (X) – czynności wykonywane są przez 1 pracownika, oraz potrzebnych do naprawy (E) i wymianę komponentów lub podzespołów (F).

Proponowane podejście do realizacji procesu zarządzania wiedzą w przedsiębiorstwie produkcyjnym (zdefiniowane do etapu czwartego) pozwala na osiągnięcie przewagi konkurencyjnej przedsiębiorstwa. Szczegółowe badania obejmujące definiowanie pozostałych etapów procesu będą przedmiotem kolejnych prac autorów.

5. Podsumowanie

Przedstawione powyżej rozwiązanie służące gromadzeniu informacji o historii realizowanych zadań serwisowych stanowi podstawę dla zbudowania bazy wiedzy działu serwisowego producenta naczeł samochodowych. Aby zgromadzona w ten sposób wiedza, mogła być efektywnym zbiorem uczącym, dla jakiegokolwiek podejścia do klasyfikacji, niezbędne jest na etapie dalszych prac zgromadzenie możliwie dużej bazy informacji o pojazdach, stwierdzonych w nich usterkach oraz podjętych czynnościach serwisowych. W oparciu o zgromadzone w ten sposób dane, możliwa będzie praktyczna realizacja zaproponowanego modelu klasyfikacji, a następnie przeprowadzenie testów jego skuteczności. W dalszej perspektywie proponuje się przetestowanie skuteczności innych metod klasyfikacji dla zgromadzonych danych oraz przeprowadzenie dalszych badań w zakresie definiowania procesu zarządzania wiedzą dla działu serwisowego w przedsiębiorstwie produkcyjnym.

Literatura

1. Bartos K.: *Wykorzystanie sztucznych sieci neuronowych w badaniach zachowań konsumentów*, Wydawnictwo Naukowe Uniwersytetu Szczecińskiego, Szczecin 2012.
2. Dobiegała-Korona B., Doligalski T.: *Zarządzanie wartością klienta. Pomiar i strategię*. Wyd. Poltext. Warszawa 2010.
3. D'Aveni R.A.: *Beating the commodity trap: How to Maximie your competitive position and increase your pricing power*, Harvard Business Press 2010.
4. Larose D.T.: *Metody i modele eksploracji danych*, Wydawnictwo Naukowe PWN, Warszawa 2008.
5. Marciniak A., Korbicz J.: *Metody rozpoznawania obrazów w diagnostyce*, [w:] Korbicz J., Kościałny J.M., Kowalczyk Z., Cholewa W.(red.), *Diagnostyka procesów*, Wydawnictwo Naukowo Techniczne, Warszawa 2002.
6. Patan J., Korbicz J., Mrugalski J.: *Sztuczne sieci neuronowe w układach diagnostyki*, [w:] Korbicz J., Kościałny J.M., Kowalczyk Z., Cholewa W.(red.), *Diagnostyka procesów*, Wydawnictwo Naukowo Techniczne, Warszawa 2002.

Streszczenie

W artykule podjęto próbę zbudowania modelu klasyfikacji wiedzy w przedsiębiorstwie produkcyjnym w oparciu o algorytm Bayes'a. Pozyskiwanie, gromadzenie i przechowywanie danych i informacji działu obsługi serwisowej, możliwe jest za pomocą autorskiej aplikacji, której struktura została również przedstawiona w niniejszym artykule. Na podstawie danych i informacji zawartych w zgłoszeniach serwisowych, rejestrowanych w aplikacji, możliwe jest generowanie zdefiniowanej wiedzy. W konsekwencji, proponowany model klasyfikacji wiedzy, przy zastosowaniu algorytmu Bayes'a, daje możliwość zbudowania zbiorów użytecznej wiedzy.

Summary

This article elaborates a model of knowledge classification using a Bayesian algorithm in a manufacturing company. Further was illustrated an application, that enables you to collect, search and analyze data and information from a service department. Based on the data and information registered in the application, it is possible to generate a defined knowledge. Consequently, the proposed model for the classification of knowledge, using a Bayesian algorithm gives the opportunity to build the sets of useful knowledge.

Aneta Hapka

Department of Electronics and Computer Sciences,
Koszalin University of Technology, Poland

A new method for calculation of high-temperature capacitors thermal resistance

Key words: High-temperature capacitors, heat profiles, thermal resistance

Introduction

Commercially available high-temperature passive devices are designed to operate in the temperature range up to 200°C and are offered e.g. by Vishay or Kemet corporation.

The demand for temperature-resistant components is a result of rapid development of power systems, which should operate with high power densities and in the wide range of temperature. A possibility of high power dissipation enables the designers to minimize the size of electronic circuits.

Simulation of transient states is an integral part of designing of modern power systems. In the case of operation in the wide range of internal and ambient temperature, proper prediction of current and voltage waveforms, with electro-thermal interactions taken into account is very important. Changes of internal temperature are observable in the case of self-heating phenomenon occurrence, and the ambient temperature is one of the externally forced operation conditions. Methods of acquiring the necessary data for capacitors models differ substantially from the methods used in the case of semiconductor devices.

Power dissipation in capacitors is mainly related to an Equivalent Series Resistance (ESR), resulting from leads and electrodes resistance and dielectric loss. Changes of internal temperature of a capacitor may be predicted, when the thermal impedance curve or, at least thermal resistance value is known.

Measurements of capacitors thermal resistance or transient thermal impedance are much more complicated than measurements performed for active devices. Choosing of temperature-sensitive parameter and further calibration of measuring set-up is not obvious. In the presented investigations, thermal resistance of high-temperature capacitors is identified indirectly.

A temperature – dependent electrical model of a capacitor

In the standard approaches to modelling of electro-thermal interactions in capacitors (e.g. in multi-purpose simulators), an equivalent circuit for capacitor consists of a pure capacitance, leakage and equivalent series resistance. In the more complicated models, various equivalent RC ladders, with resistance and capacitance distribution taken into account, are considered [1–3]. A parasitic inductance of the leads and pads, determining the resonance frequency is also sometimes taken into account. The parasitic resistances in capacitors result from various causes. Dielectric materials placed between the capacitor pads are not perfect insulation, so the flow of a small amount of charge stored on the plates of capacitors dielectric layer occurs. Leakage resistance is a parameter related to this phenomenon. Resistance of the leads, electrodes and dielectric loss contribute to occurrence of series resistance losses.

In the case of electro-thermal simulation, each of assumed components depend on the temperature in a different way and the origin of losses distribution in ceramic and electrolytic capacitors should differ. However, it is appropriate to assume reasonable substitute parameters and find a compromise between the complexity of the model and its accuracy.

In the presented work, a simple model, consisting of capacitance and ESR has been assumed (Fig. 1).

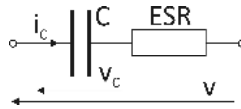


Fig. 1. A simple equivalent model of a capacitor

An easiest way to identify the influence of frequency and temperature on electrical parameters of considered devices is the use of RLC bridge. The accuracy of used bridge, provided by the manufacturer is 0.05%. Measurements of temperature- and frequency-dependent series and parallel resistances, as well as capacitances, in the temperature range from 22°C up to 300°C has been performed [4] and the exemplary results for a high-temperature 120μF Vishay capacitor from 135D series [5] are shown in Fig. 2. The setted values of frequency was from 50Hz up to resonance, so it may be also observed, how the rise of temperature restricts the range of operating frequency.

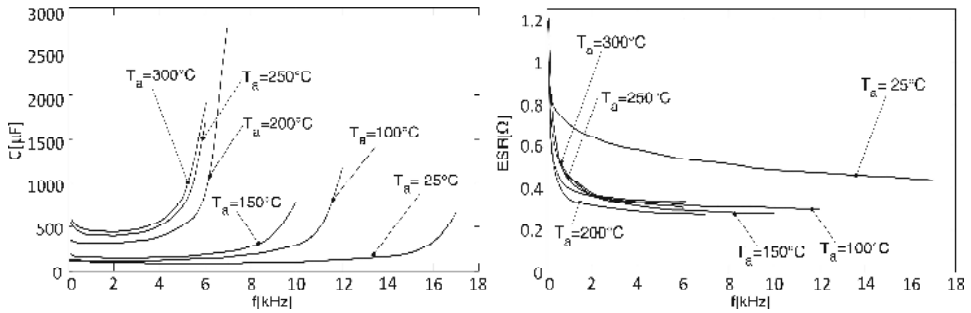


Fig. 2. Influence of frequency and temperature on capacitance and equivalent series resistance of 120µF Vishay capacitor

During the measurements, sufficiently low amplitudes of current and voltage in the capacitor has been ensured – to avoid the occurrence of self-heating phenomenon. In such case – for each of setted frequency values, only the ambient temperature is a factor influencing capacitance and ESR.

From the set of measurements shown in Fig. 2, the $C(T)$ and $ESR(T)$ dependencies for various values of frequency has been extracted and the equations for an analytical representation of those dependencies has been assumed:

$$C(T_a) = C_0 \cdot (a \cdot T_a^b + c) \tag{1}$$

$$ESR(T_a) = R_0 \cdot (p_1 \cdot T_a^2 + p_2 \cdot T_a + p_3) \tag{2}$$

Coefficients a , b , c , p_1 , p_2 , p_3 in (1), (2) have been identified with the use of standard curve-fitting methods and their values for chosen frequencies (500Hz and 3kHz) are given in Table I.

Table I. Coefficients in the analytical representations of $C(T)$ and $ESR(T)$

		C(T)			ESR(T)			
f [kHz]	C_0 [µF]	a [1/°C ²]	b	c	R_0 [Ω]	p_1 [1/°C ²]	p_2 [1/°C]	p_3
0.5	116	0.14	3.06	$0.93 \cdot 10^6$	0.83	$0.2 \cdot 10^{-6}$	-0.007	1.16
3	99	46.84	2.04	$0.86 \cdot 10^6$	0.68	$0.14 \cdot 10^{-6}$	-0.006	1.12

Goodness of fits is represented by an adjusted R-square (ARS):

$$ARS = \frac{\sum_{n=1}^N (\hat{y}_n - \bar{y})^2}{\sum_{n=1}^N (y_n - \bar{y})^2} \quad (3)$$

where: y_n – the real (measured) value, \hat{y}_n - the value calculated from analytical model, \bar{y} - the average value of empiric data. Accuracy of parameters identification is better, when the ARS value (always between 0 and 1) is closer to 1.

In Fig. 3, the influence of ambient temperature on C and ESR, represented by (1) and (2) is shown and compared to measurement results.

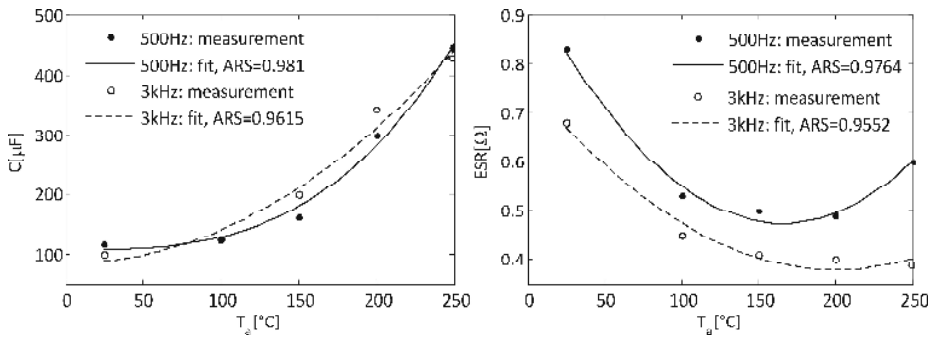


Fig. 3. Influence of the ambient temperature on capacitance and ESR of “120 μ F” capacitor for 500Hz and 3kHz

Calculation of capacitors heat profiles

In the presented approach, for the calculation of capacitors heat profiles, waveforms of current and voltage in the capacitor are needed. Such waveforms, has been measured with the use of digital oscilloscope, with accuracy 0.05%, and samples of data has been stored for further processing. This time, the amplitude of forced voltage was high enough (35V) to induce self-heating. The exemplary voltage and current waveforms for $f=500$ Hz are given in Fig. 4(a).

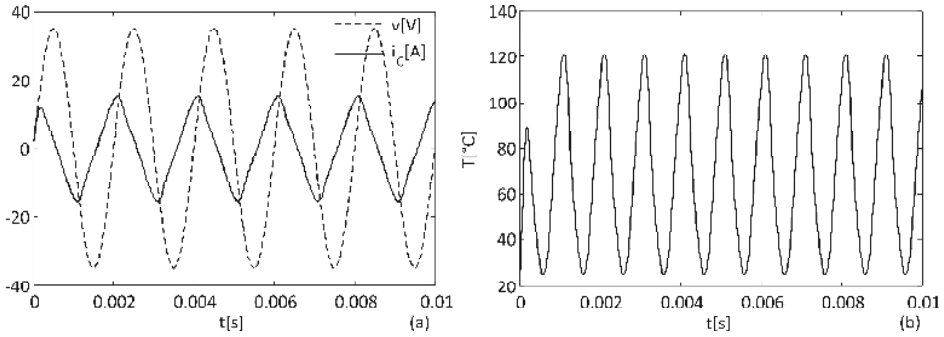


Fig. 4. 500Hz voltage forced in the capacitor and its current response (a) and its heat profile (b) in the electro-thermal steady-state

In the discrete-time domain, for the equivalent circuit given in Fig. 1:

$$v_{[n]} = v_{C[n]} + ESR \cdot i_{C[n]} \quad (4)$$

For the discretization of a pure capacitance appearing in the model from Fig. 1, one may use any of algorithms for numerical integration [6]. In the presented case, a second-order Adams Moulton (trapezoid) algorithm has been used:

$$v_{C[n]} = v_{C[n-1]} + \frac{h}{2 \cdot C} \cdot (i_{C[n]} + i_{C[n-1]}) \quad (5)$$

where h is the discretization step.

After including the analytical representations of C(T) (1) and ESR(T) (2), one obtains:

$$\frac{h}{2 \cdot C_0 \cdot (a \cdot T^b + c)} \cdot (i_{C[n]} + i_{C[n-1]}) + R_0 \cdot (p_1 \cdot T^2 + p_2 \cdot T + p_3) \cdot i_{C[n]} + v_{C[n-1]} - v_{[n]} = 0 \quad (6)$$

The temperature T in (6) is now an internal temperature of a capacitor. Equation (6) is a simple nonlinear issue to solve numerically with the use of Newton-Raphson algorithm [6]. In the presented case, the accuracy of Newton procedure was $1 \cdot 10^{-6}$ [5]. Heat profiles of considered capacitor, calculated for $f=500\text{Hz}$ are given in Fig. 4(b). A lower amplitude in the first half-period is a result of starting error, which is compensated for every numerically stable algorithm.

If one considers an electro-thermal steady-state, a thermal resistance of a device may be represented as a quotient of an average rise of internal temperature (over the ambient) and average power dissipated in the device [7]:

$$R_{th} = \frac{\Delta T}{P} \quad (7)$$

In the case of capacitor represented by the model from Fig. 1, the power dissipation occurs in ESR. The average values of temperature rise and power may be easily calculated numerically. In the performed experiments, the obtained values of thermal resistance were: $R_{th}=0.79^{\circ}\text{C}/\text{W}$ for $f=500\text{Hz}$ and $R_{th}=0.8^{\circ}\text{C}/\text{W}$ for $f=3\text{kHz}$. Unfortunately, the manufacturers data sheets for investigated capacitor (and for other from the high-temperature series) do not contain any information about thermal resistance. Other capacitors offered by Vishay are characterized by the thermal resistance from 0.5 to $0.8^{\circ}\text{C}/\text{W}$.

Estimation of numerical error

The numerical inaccuracy of proposed method may be estimated by the use of following procedure: the calculated temperature transient (Fig. 4(b)) and value of R_{th} are taken as a priori known and used for calculation of “reference” power, absolute of capacitors current and voltage drop on ESR. The mentioned operations do not involve the numerical algorithms and have got a pure analytical form:

$$p_{ref}(t) = \frac{T(t)}{R_{th}} \quad (8)$$

$$|i_{Cref}(t)| = \sqrt{\frac{p_{ref}(t)}{ESR}} \quad (9)$$

$$|v_{ESRref}(t)| = ESR \cdot |i_{Cref}(t)| \quad (10)$$

Values of error related to the numerical algorithms (5), (6) are calculated from equation:

$$\xi_{[n]} = \frac{\left| |v_{ESR[n]}| - |v_{ESRref[n]}| \right|}{\bar{v}_{ESR}} \cdot 100\% \quad (11)$$

where: $|v_{ESR[n]}|$ - absolute of voltage drop on ESR calculated with the use of procedure based on equations (4), (5), (6), $|v_{ESRref[n]}|$ - absolute of reference voltage drop on ESR, calculated analytically, \bar{v}_{ESR} - average value of v_{ESR} . The percentage error of numerical operations in the procedure for R_{th} calculation, for various values of discretization step is shown in Fig. 5.

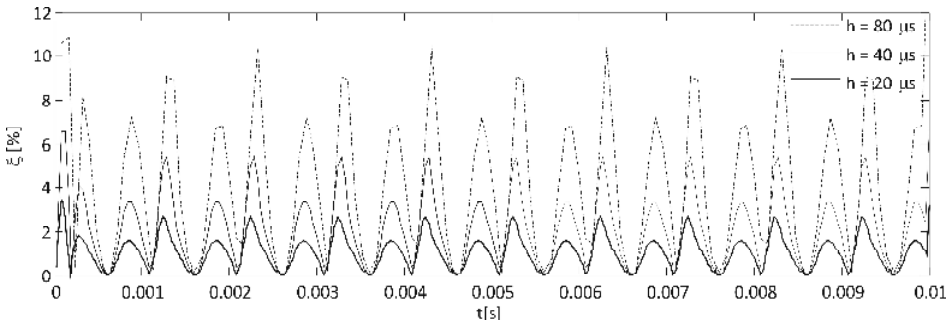


Fig. 5. Estimation of numerical error for various discretization step values

It should be pointed out, that the voltage drop on ESR is not an output value in the procedure for R_{th} calculation, so the error shown in Fig. 5 is only approximate.

Conclusions

The comprehensive measurements of the influence of the temperature on the capacitors electrical parameters are a very useful tool in the modeling of electro-thermal processes. Performed measurement test show a meaningful derating of capacitance, caused by the temperature rise (Fig. 2, 3). The analytically represented influence of the temperature on assumed capacitors electrical parameters gives a possibility of calculation of its heat profiles and thermal resistance. The error of calculation of thermal resistance results from a few different sources: inaccuracy of measurements performed by RLC bridge and oscilloscope, error of curve fitting method, used for identification of parameters in $C(T)$ and $ESR(T)$ analytical description, and error of the numerical procedure. But the total percentage error of whole method should not exceed 20%. The presented results are for now preliminary and it is obvious that the more expanded (than the one given in Fig. 1) equivalent circuits should be considered and tested. In the further work, the numerical procedures for calculation of capacitors transient thermal impedance will be developed.

References

1. J. P. Zheng, Z. N. Jiang, Resistance distribution in electrochemical capacitors with spiral-wound structure, *Journal of Power Sources* 156 (2006), pp. 748-754, <http://dx.doi.org/10.1016/j.jpowsour.2005.05.089>.

2. F. Rafik, H. Gualous, R. Gallay, A. Crausaz, A. Berthon, Frequency, thermal and voltage supercapacitor characterization and modeling, *Journal of Power Sources* 165 (2007), pp. 928-934, <http://dx.doi.org/10.1016/j.jpowsour.2006.12.021>.
3. R. Faranda, A new parameters identification procedure for simplified double layer capacitor two-branch model, *Electric Power Research* 80 (2010), pp. 363-371, <http://dx.doi.org/10.1016/j.eprsr.2009.10.024>.
4. A. Hapka, Properties of the silicon carbide devices, working in the Pulse Width Modulation power converters in the wide range of power and temperature, N N515 533538 Project final report, 2012.
5. <http://www.vishay.com/docs/40024/135d.pdf>
6. L. O. Chua, Pen Min Lin, *Computer-Aided Analysis of Electronic Circuits : Algorithms and Computational Techniques*, WNT, Warsaw 1981.
7. W. Janke, *Thermal phenomena in semiconductor devices and circuits*, WNT, Warsaw 1992.

Abstract

In this paper, issues related to the self-heating phenomenon in high-temperature capacitors are described. Measurements of capacitance and parasitic resistance, as a function of frequency and ambient temperature of considered capacitors are presented. Novel procedures for calculation of internal temperature changes are proposed and a novel method for acquiring thermal resistance values is developed and its numerical error is estimated.

Streszczenie

W niniejszej pracy, opisano zagadnienia związane ze zjawiskiem samonagrzewania w kondensatorach wysokotemperaturowych. Przedstawiono wyniki pomiarów pojemności i oporności pasożytniczej wybranych kondensatorów w funkcji częstotliwości i temperatury otoczenia. Zaproponowano nową metodę obliczania zmian temperatury wewnątrz elementu oraz wyznaczania jego rezystancji termicznej. Oszacowano błędy numeryczne proponowanej metody.

Słowa kluczowe: Kondensatory wysokotemperaturowe, profile cieplne, rezystancja termiczna.